

アナログ回路における 微細化・低電圧化の課題と今後の展望

松澤 昭

東京工業大学
大学院理工学研究科

内容

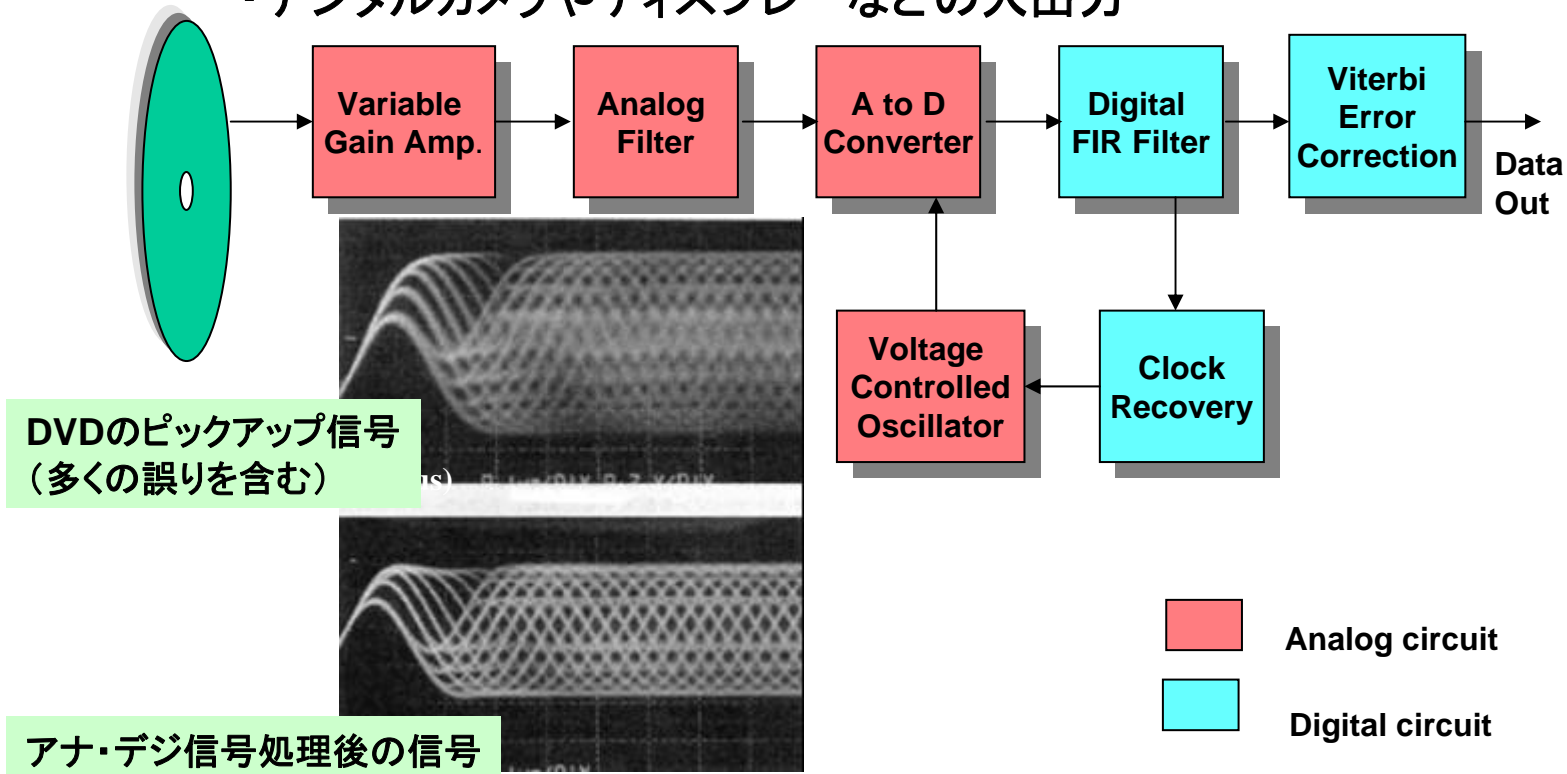
- ・ 現代におけるアナログ技術の役割
- ・ CMOSデバイス 微細化とアナログ特性
- ・ アナログ回路の設計 パイプラインADC
- ・ 低電圧回路設計
- ・ 具体設計例 90nmCMOSを用いたOPアンプ
- ・ 低電圧動作と回路性能
- ・ 今後の方向性

現代におけるアナログ技術の役割

アナ・デジ混在信号処理

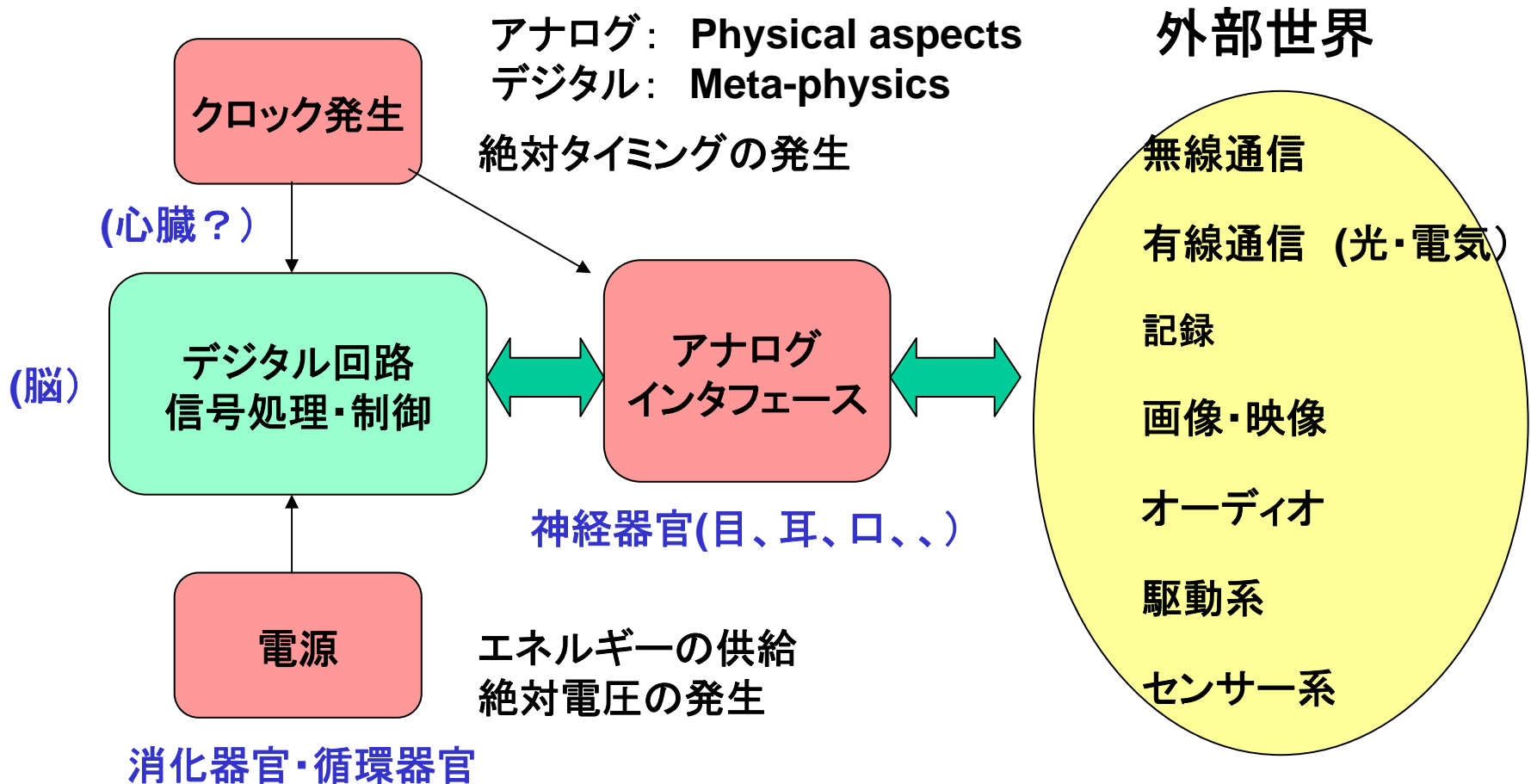
アナ・デジ混在型信号処理は殆どのシステムに用いられている。
→SoCへの搭載が必須

- ・デジタル放送・通信・ネットワーク(DTV, ADSL, Ethernet, USBなど)
- ・デジタル記録(HDD, DVD, DVCなど)
- ・デジタルカメラやディスプレイなどの入出力



現代のアナログの役割

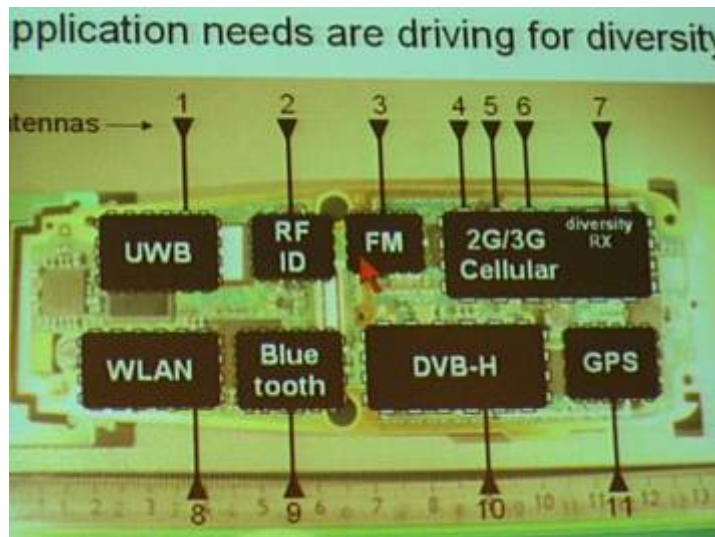
現代のアナログはデジタルが絶対にできない物理世界とのやりとりを受け持つ。
デジタル処理が現実世界でうまくゆくようにサポートする役割。



ワイアレスのマルチスタンダード化

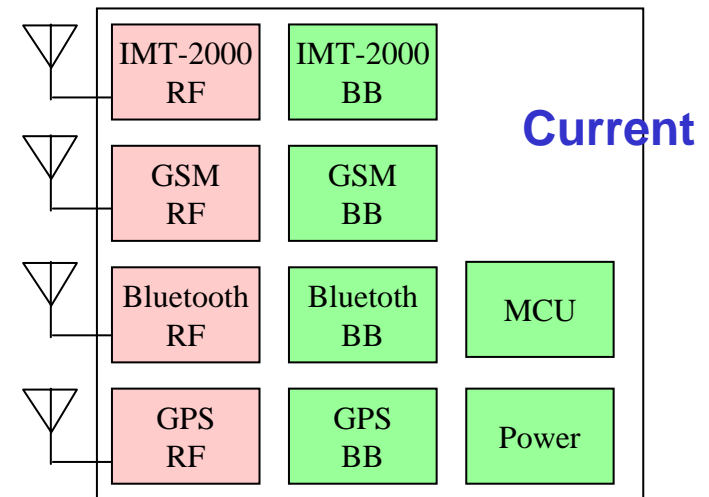
たくさんのワイアレス規格を携帯に実装する必要が出てくる

Future cellular phone needs
11 wireless standard!!

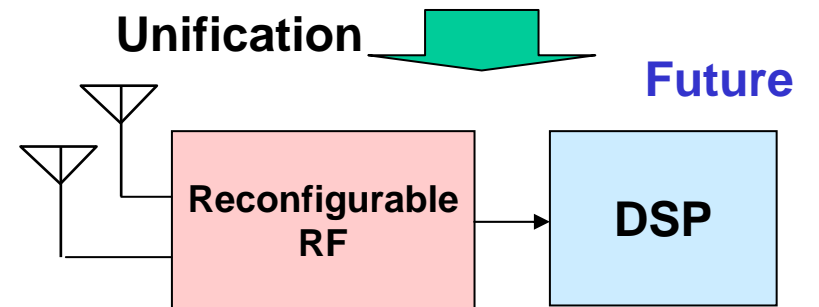


Yrjo Neuvo, ISSCC 2004, pp.32

Multi-standards and multi chips



Unification



RF部分の統合

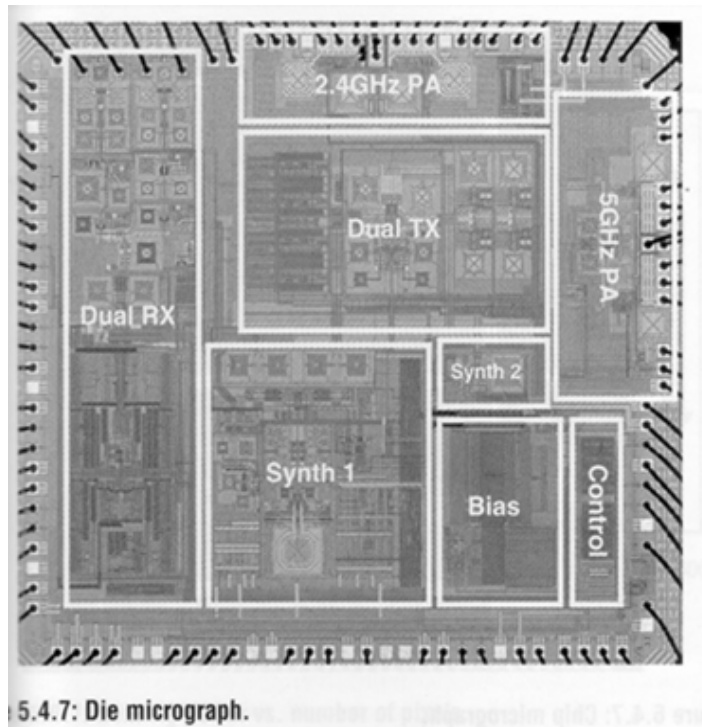
BB部分の統合

ワイアレスSoCの時代へ

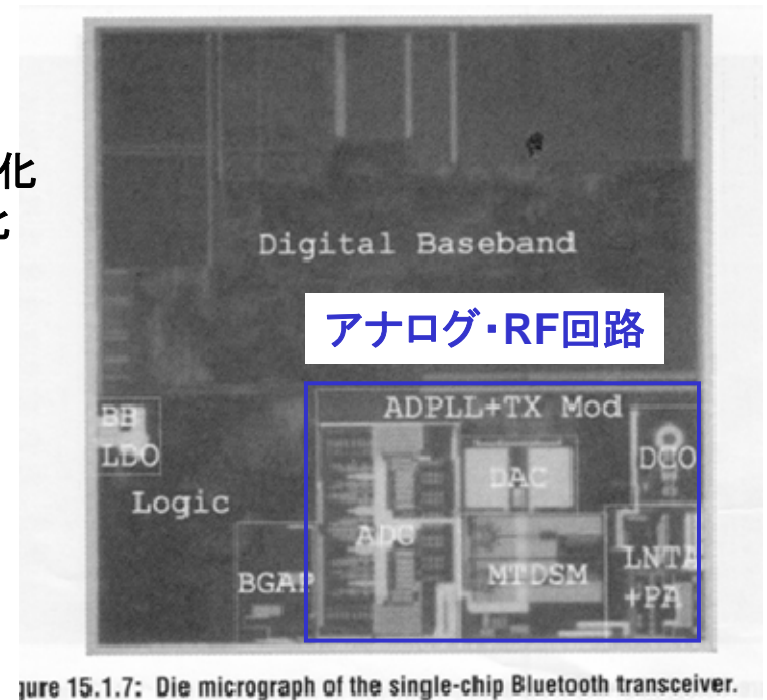
アナログ・RF回路から微細・低電圧CMOSを用いたデジタル型アーキテクチャへ

Wireless LAN, 802.11 a/b/g
0.25um, 2.5V, 23mm², 5GHz

Discrete-time Bluetooth
0.13um, 1.5V, 2.4GHz



SoC化
デジタル化
低電圧化



M. Zargari (Atheros), et al., ISSCC 2004, pp.96

K. Muhammad (TI), et al., ISSCC2004, pp.268

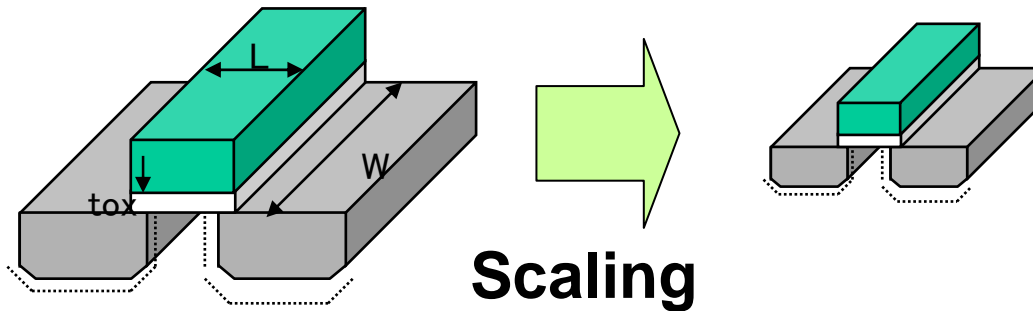
CMOSデバイス

微細化とアナログ特性

Scaling Rule: Basic principle of LSI technology

Scaling rule can improve almost all the performances of LSI

Scaling also realizes higher integration and lower LSI cost.

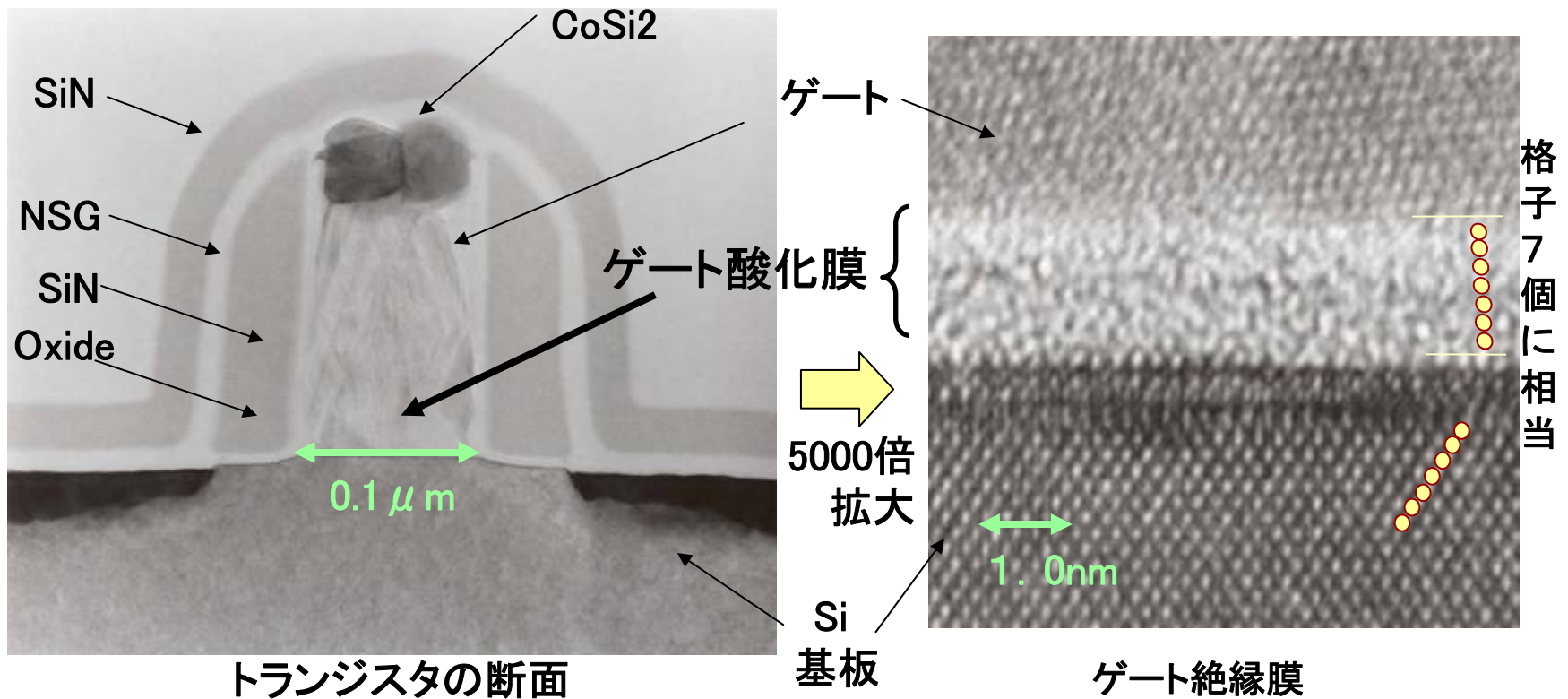


Device/Circuit parameter	Scaling Factor
Device dimensions L, W, Tox	1/S
Doping concentration	S
Voltage	1/S
Field	1
Current	1/S
Gate Delay	1/S
Power dissipation/device	1/S ²

$$S \approx \sqrt{2}$$

現在のSoC用トランジスタ

現在のSoCの量産プロセスである0.13umルールのトランジスタ
原子レベルの制御が求められる。



松下電器

スケーリングのメリット： f_T の上昇

ピークの遮断周波数はチャンネル長に反比例する

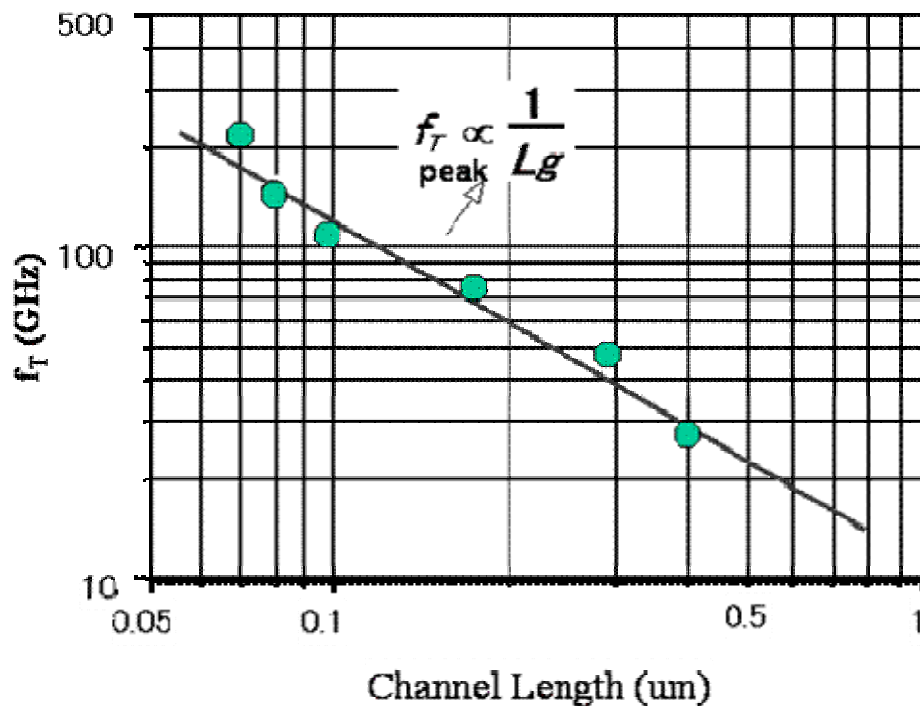
高速・広帯域回路の実現には微細化デバイスは不可欠である

$$f_T \approx \frac{g_m}{2\pi C_{gs}} = \frac{g_m}{2\pi C_{ox} LW}$$

$$g_{msat} = WC_{ox}v_{sat}$$

$$\therefore f_{T_peak} = \frac{v_{sat}}{2\pi L}$$

(0.1 μ mでは120GHz程度に達する)



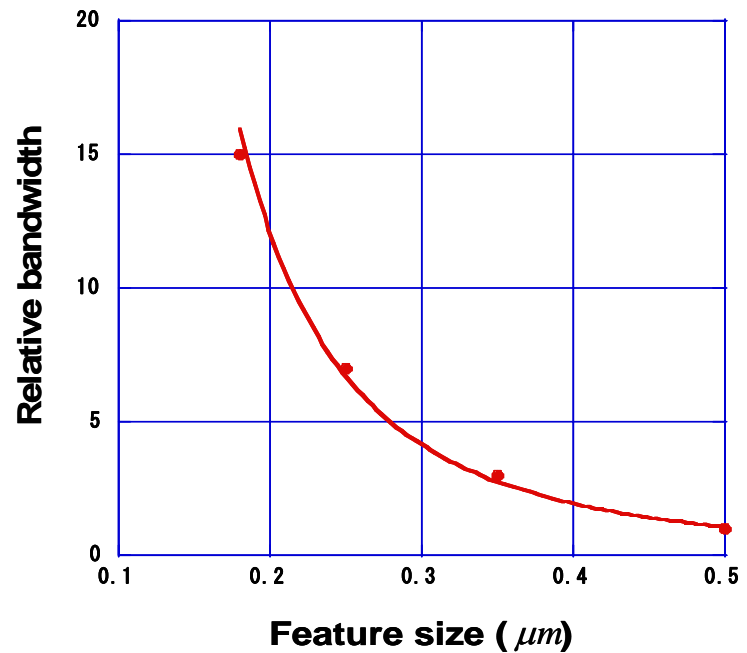
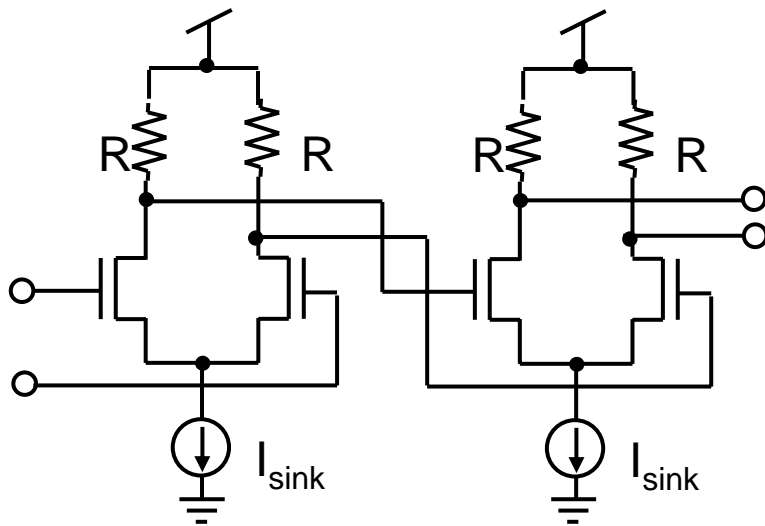
アナログ回路のデザインルールと信号帯域

SNRを考慮しない場合、比較器の帯域はデザインルールの2乗に反比例する。
微細化は有効である。

$$GBW = \frac{g_m}{2\pi \left(WC_j + \frac{2}{3} C_{ox} LW \right)} = \frac{I_{sink}}{2\pi \left(WC_j + \frac{2}{3} C_{ox} LW \right) V_{eff}}$$

$$GBW = \frac{\mu V_{eff}}{2\pi L^2 \left(\frac{2}{3} + \frac{C_j}{k} \right)}$$

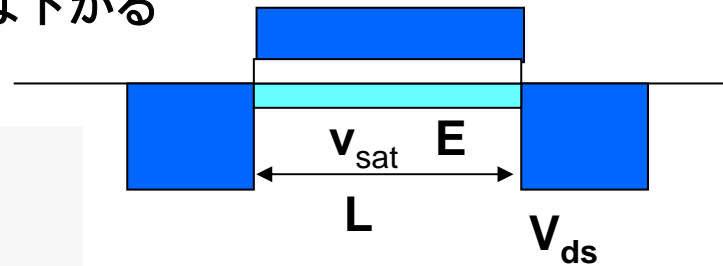
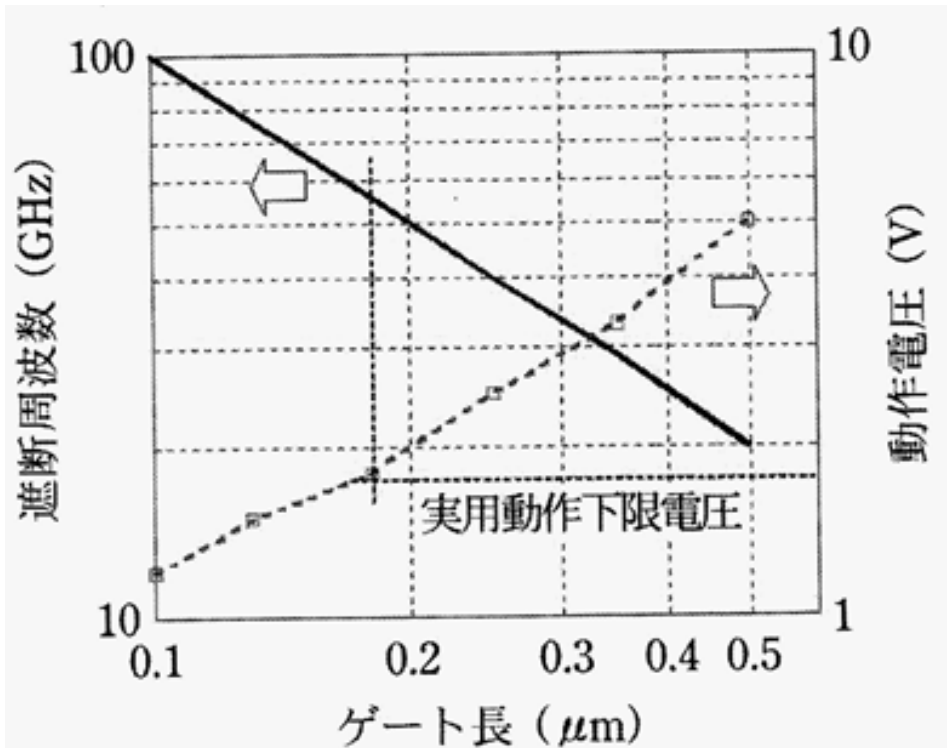
$$I_{sink} = \frac{\mu C_{ox}}{2} \frac{W}{L} V_{eff}^2 \quad C_{ox} = \frac{\kappa}{L}$$



高速・高周波化と電源電圧

チャンネル長を短くするとキャリアの走行時間が短くなり高速・高周波になる。
一方、破壊電界は物質で決まり、チャンネル長が短くなると電界は高くなる。

→高速化・高周波化を図ると電圧は下がる



$$f_{t\max} = \frac{v_{\text{sat}}}{2\pi L} \propto \frac{1}{\tau}$$

v_{sat} : キャリアの飽和速度

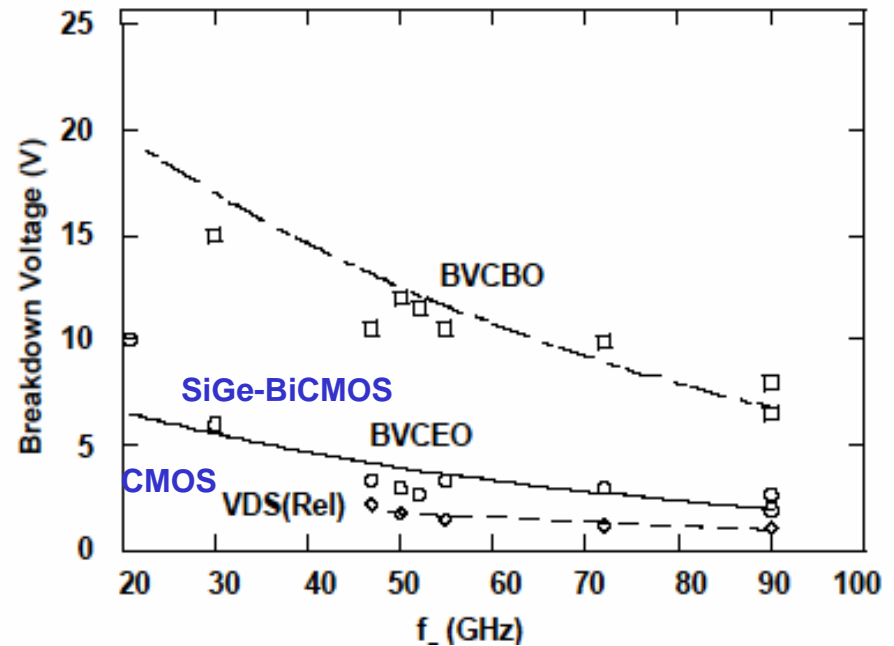
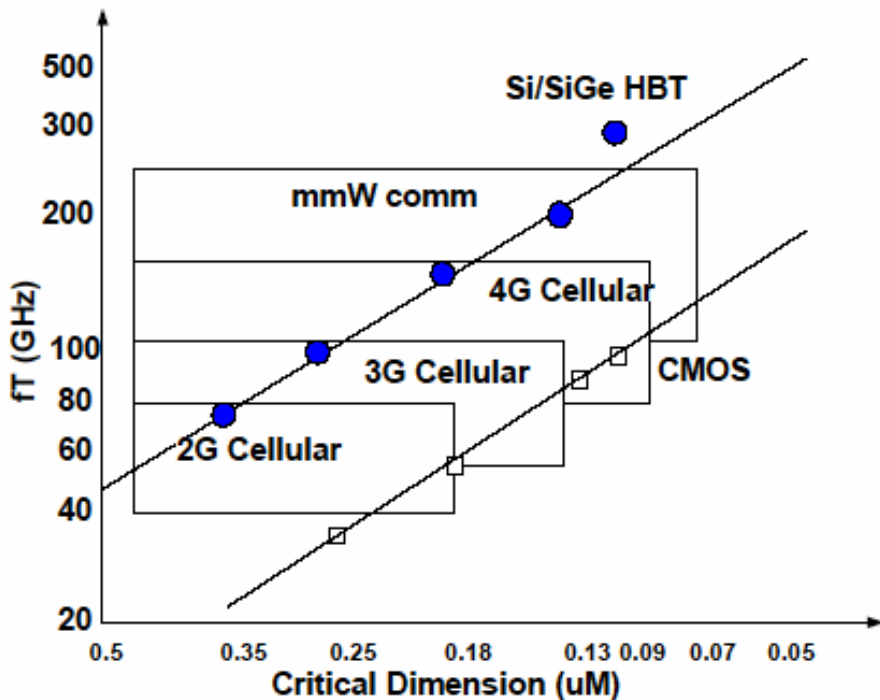
$$E_b \approx \frac{V_{\text{ds}}}{L}$$

E_b : 破壊電界

$$f_{t\max} \cdot V_{\text{ds}} = \frac{v_{\text{sat}} E_b}{2\pi} = \text{const}$$

f_T と動作電圧

- ・機器の高周波化に伴い、高い f_T が必要とされる。
- ・同一ルールではSiGe-BiCMOSが f_T が高い。ただし適用ルールはCMOSが1.5世代ほど早い
- ・同一 f_T ではSiGe-BiCMOSの方がCMOSよりも2倍程度動作電圧が高い。
(CMOSが低いのはホットキャリアによる劣化が接合ブレイクダウンよりも低電圧から起こるため)

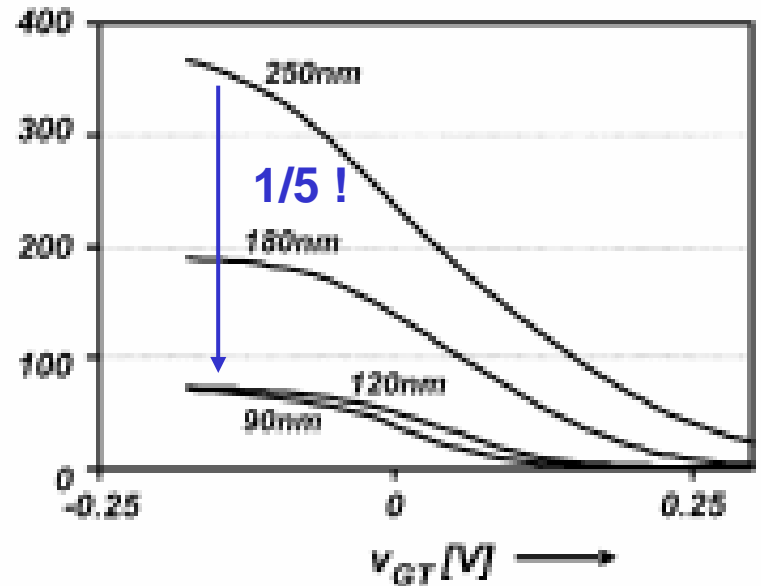
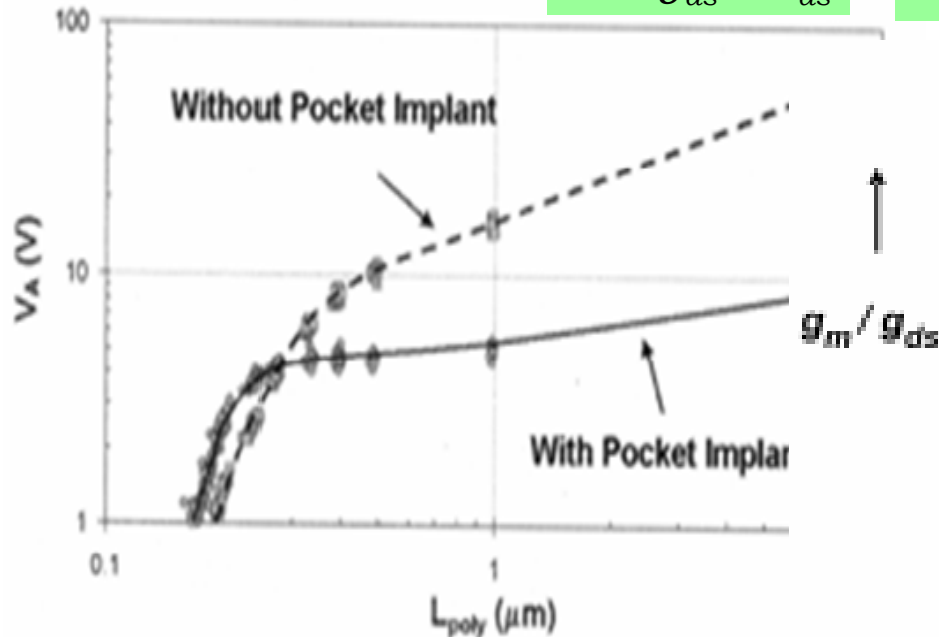


微細デバイスのドレイン抵抗

微細デバイスではポケット注入を用いていることにより、チャンネル長を伸ばしても V_A つまりはドレイン抵抗はあまり上がらない。つまり、微細プロセスではDC利得が極めて上げにくいことを意味する。

$$r_{ds} = \frac{1}{g_{ds}} \approx \frac{V_A}{I_{ds}}$$

$$\text{Gain} = g_m r_{ds} = \frac{g_m}{g_{ds}} \approx \frac{2V_A}{V_{eff}}$$



D, Buss, et al., IEEE, Tran on ED, Vol. 50, pp.546-556, 2003

A.J. Annema, JSC 2005, pp132-143

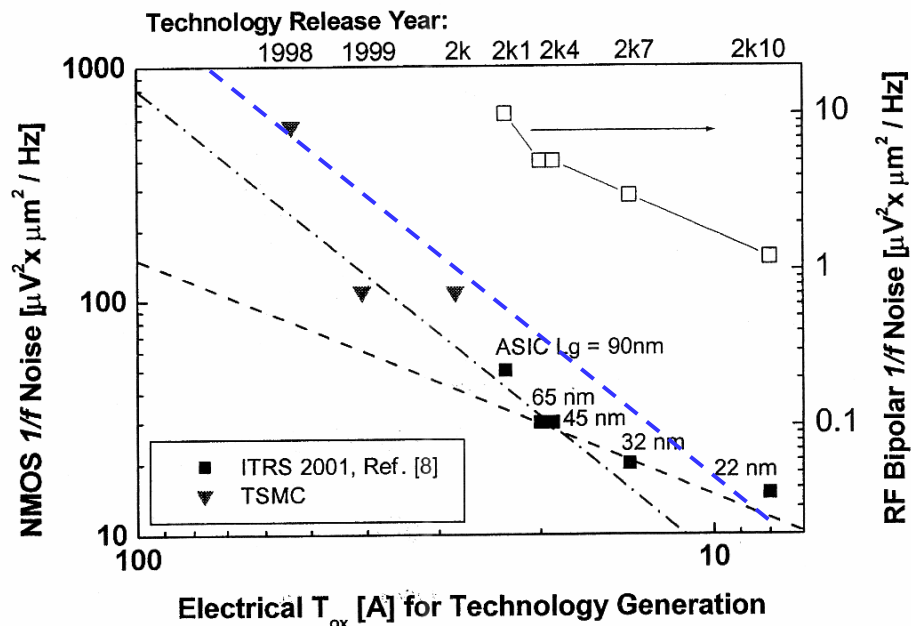
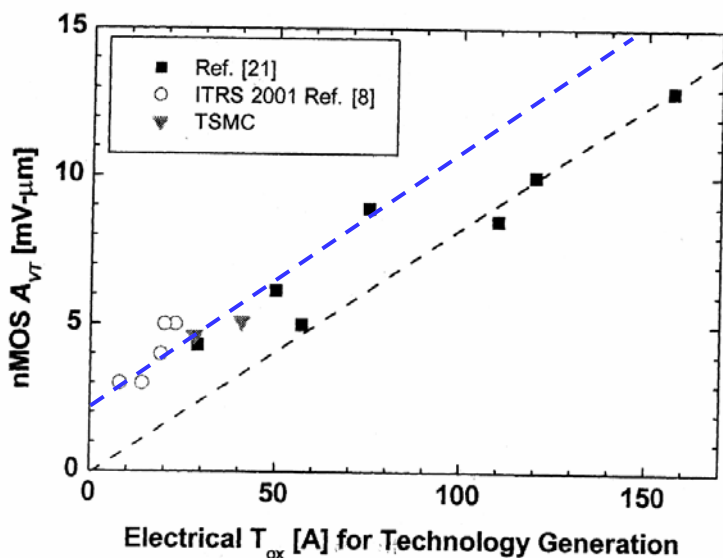
MOSの V_T ばらつきと1/fノイズ

MOSの V_T ばらつき係数は飽和する

1/fノイズ係数は穏やかに減少

$$\Delta V_{TH} (mV) \approx \frac{1}{\sqrt{2}} \left(\frac{T_{ox} (nm) + 2}{\sqrt{LW} (\mu m)} \right)$$

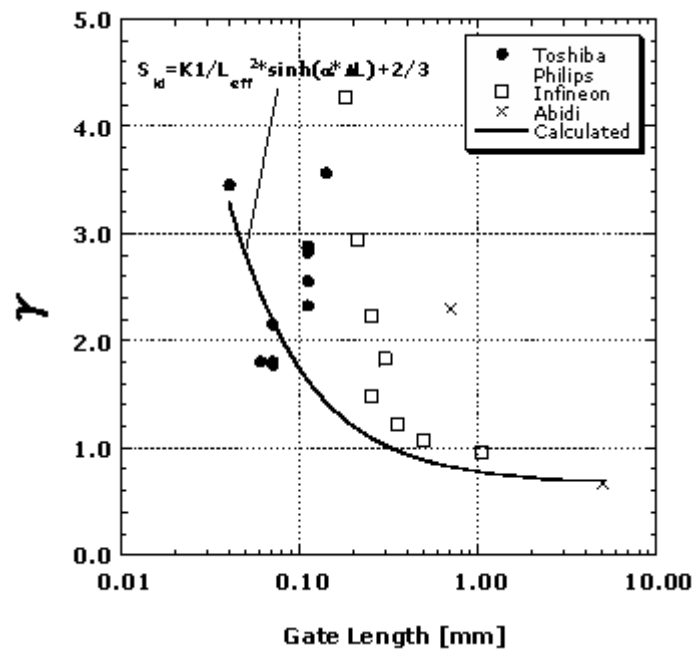
$$V_{flick}^2 (uV^2 / Hz) = \frac{16T_{OX}^2 (nm)}{LW (\mu m^2) \cdot f (Hz)}$$



C. H. Diaz, et al., "CMOS Technology for MS/RF SoC," IEEE Tran. Electron Devices, Vol. 50, No.3, March, 2003.

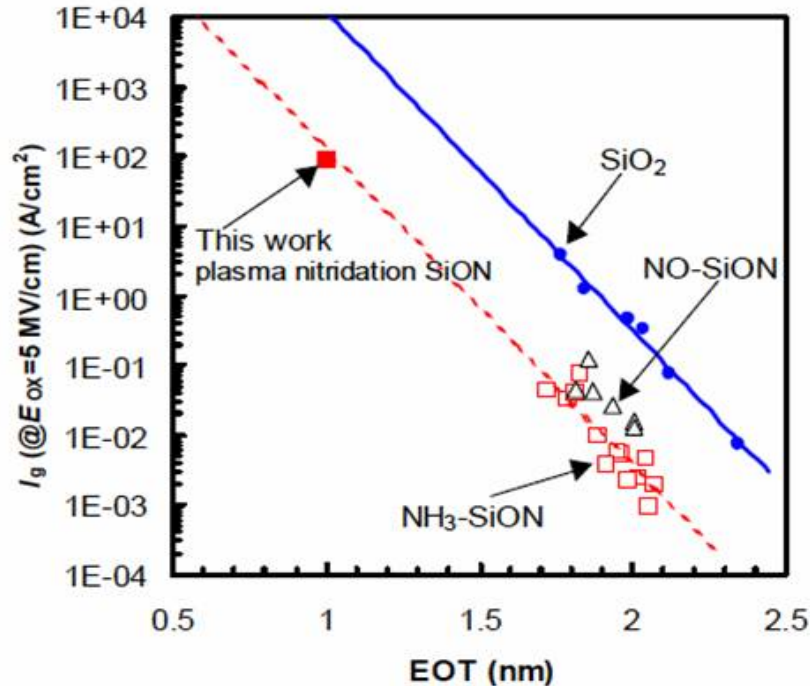
微細化とノイズ

微細化とともに熱雑音係数は増大



ゲート電流

ゲート酸化膜が2nm以下になるころからトンネリングリーク電流が顕著になった。
S&H回路やSCF回路では低速動作の場合にスイッチのリーク電流に注意する必要がある



窒化膜の導入で緩和される。

しばらくは凌げる

しかしいずれ高誘電体膜にして物理膜厚を厚くする必要がある

窒化膜は1/fノイズを増加させると言われている。

$$EOT = \frac{\epsilon_{SiO_2}}{\epsilon} \text{thickness}$$

EOT (Equivalent Oxide Thickness)等価酸化膜厚

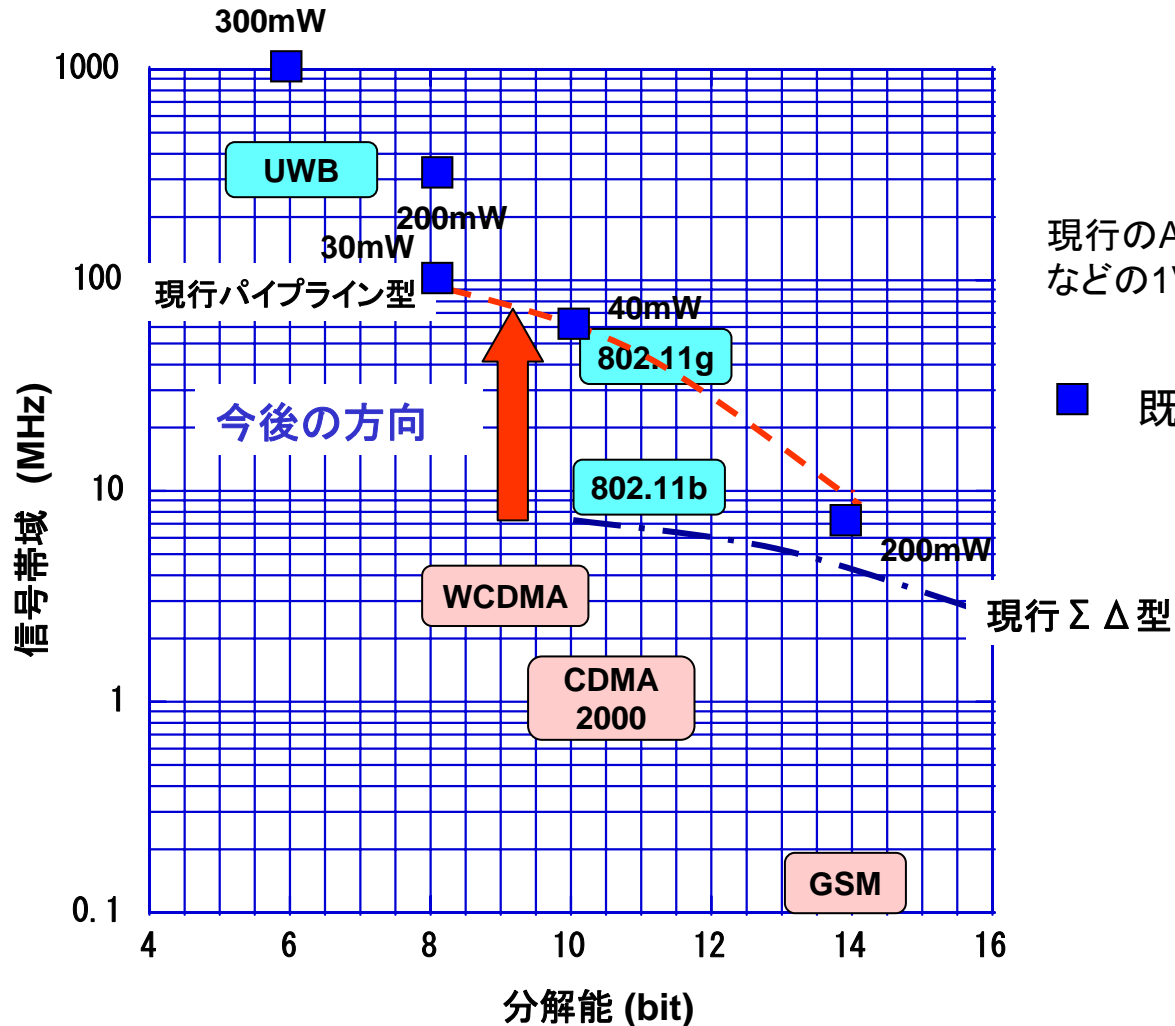
A. Hokazono et al., IEDM'02, p.639

アナログ回路の設計

パイプライン型ADCを例に取り
アナログ回路の設計を考えてみる

ワイアレスシステム用ADC

ワイアレスシステムには高性能ADCが求められる
ワイアレスLANやWCDMAにはパイプライン型ADCが用いられる



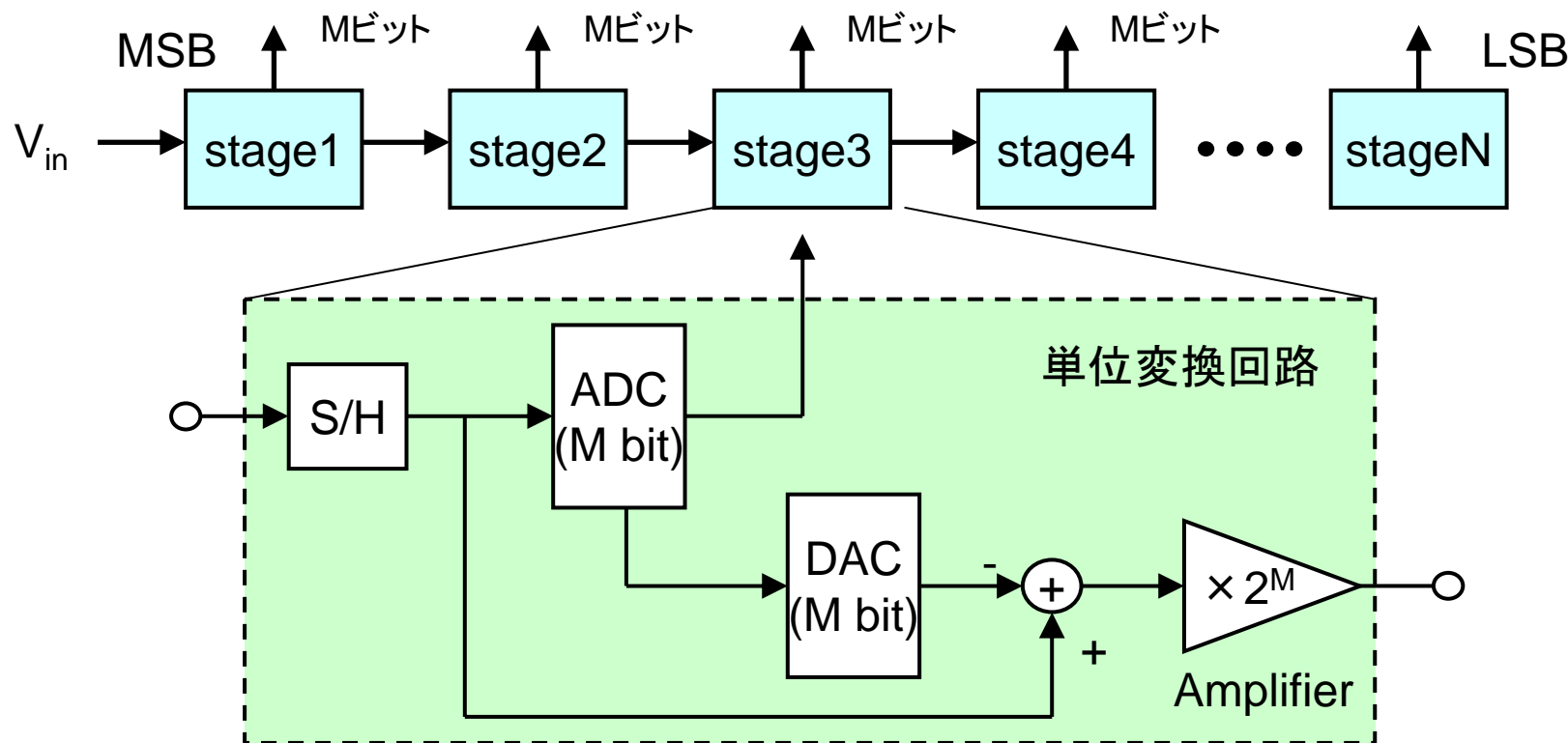
現行のADCはほとんどが3V, 2.5V, 1.8V
などの1V以上の電圧を用いている

■ 既学会発表

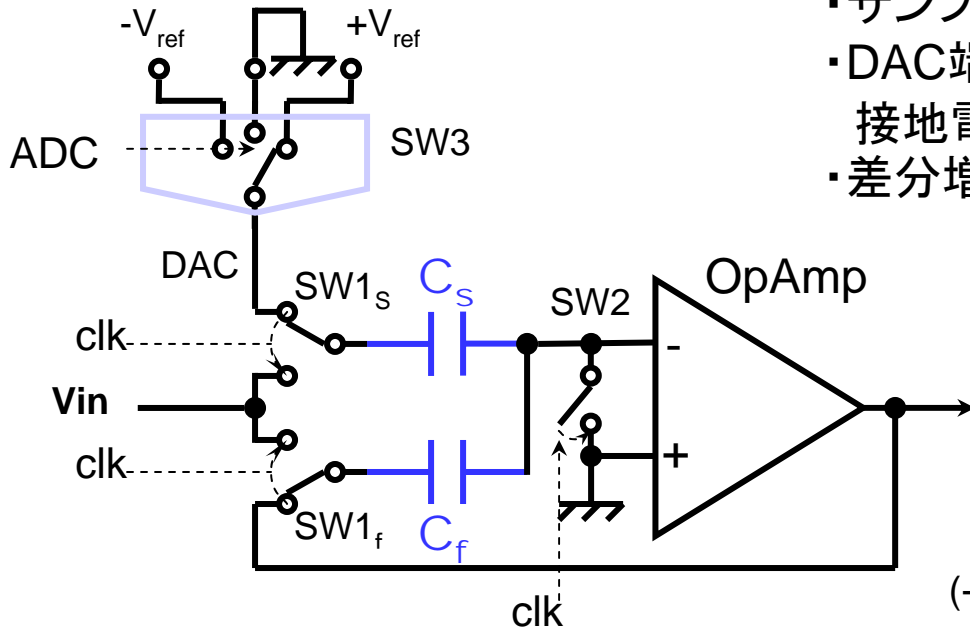
現行ΣΔ型

パイプライン型ADC:構成

- ・単位変換回路を縦続接続
- ・各単位変換回路は入力信号を標本化し、参照電圧と比較を行いMビットの変換
- ・ADCの出力により、DACが出力する電圧が変化。入力信号とDACの出力する電圧の差分を 2^M 倍して後段に出力。

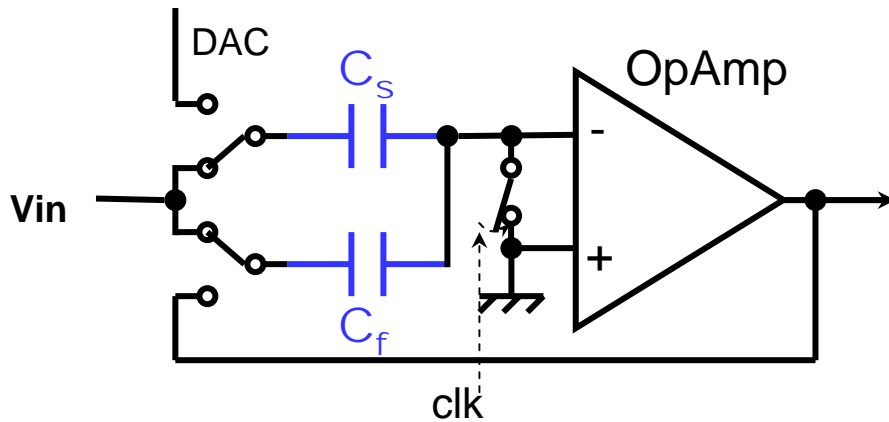


パイプライン型ADC: 単位回路

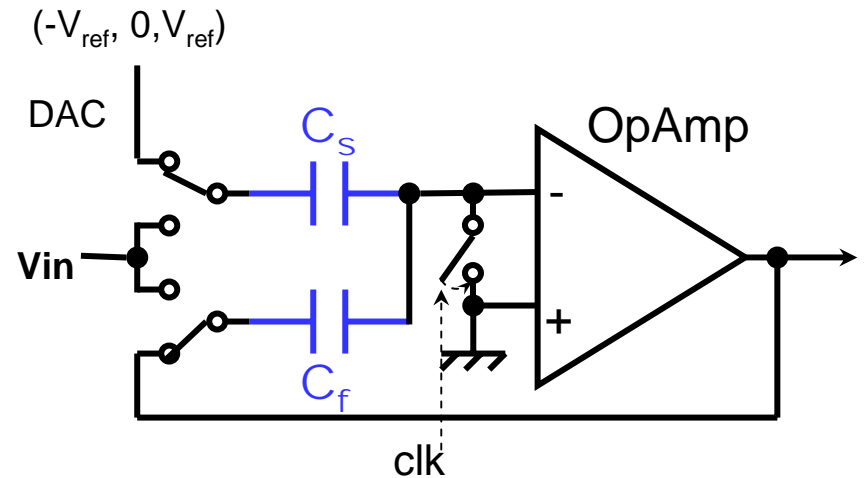


- ・サンプリングフェーズで V_{in} をしきい値電圧と比較
- ・DAC端子は比較出力に応じた $\pm V_{ref}$ もしくは接地電位が印加される
- ・差分増幅フェーズで $V_{in} - DAC/2$ の2倍の出力

$$V_{out} = 2 \left(V_{in} - \left\{ +\frac{V_{ref}}{2}, 0, -\frac{V_{ref}}{2} \right\} \right)$$



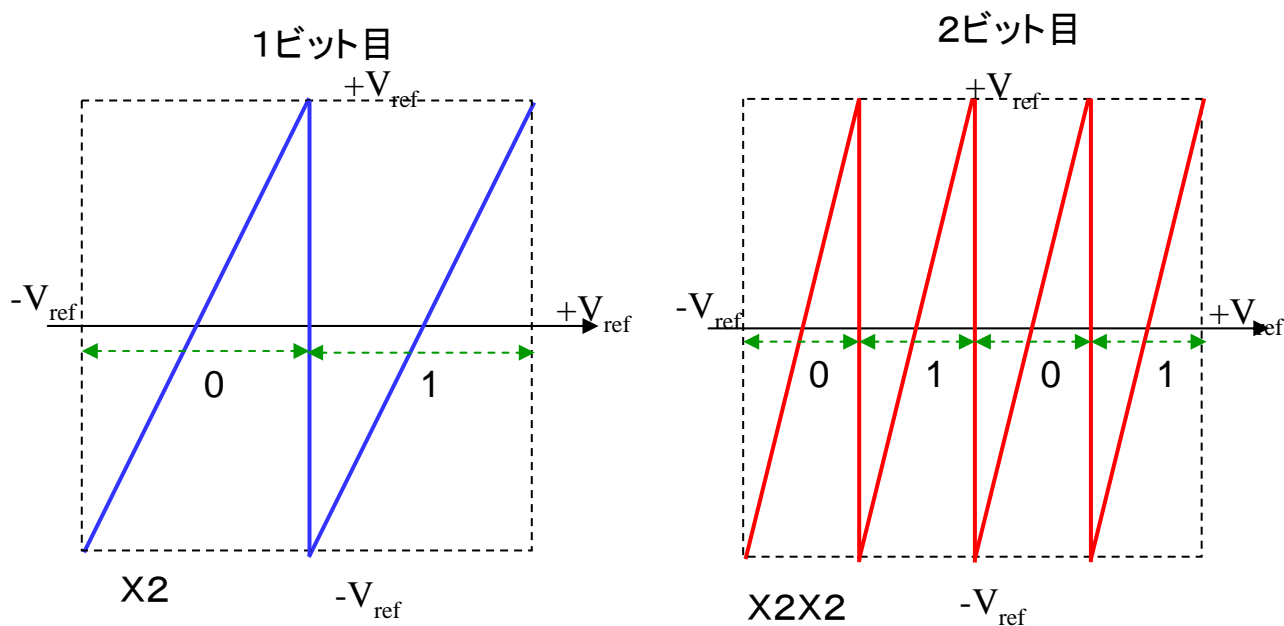
Sampling Phase



Subtracting and amplifying phase

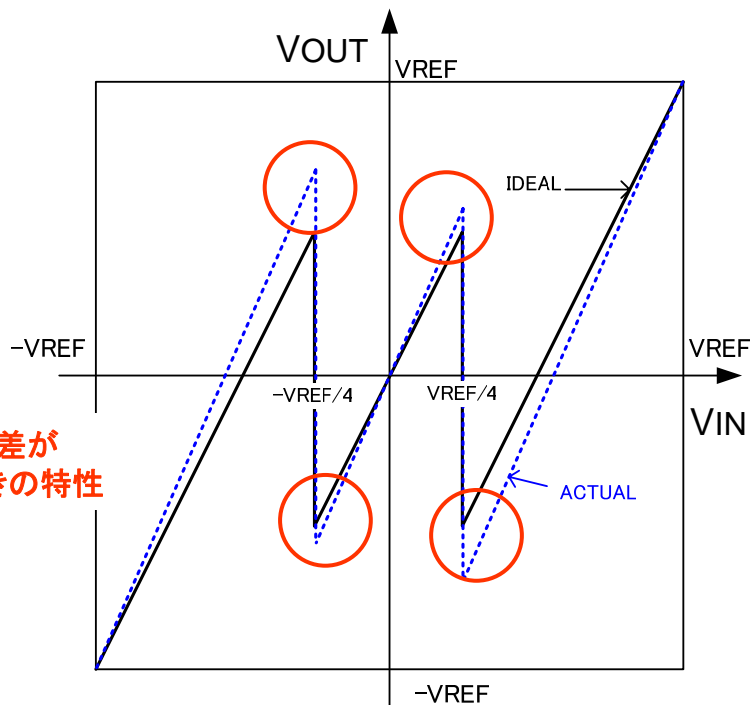
パイプラインADC: 回路動作

信号を折れ返して転送することにより1ビットずつの変換を行う

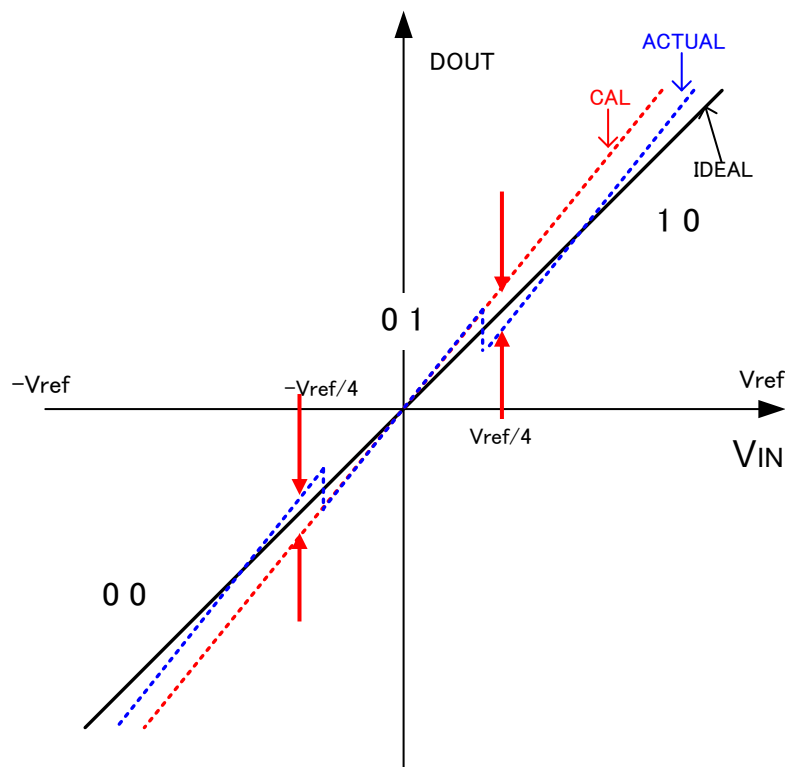


誤差補正

1.5Bステージにすることで比較器やOPアンプのオフセットの影響が除去可能となる
利得誤差があると変換誤差を生じるが、この誤差を計測して引くことにより補正可能である



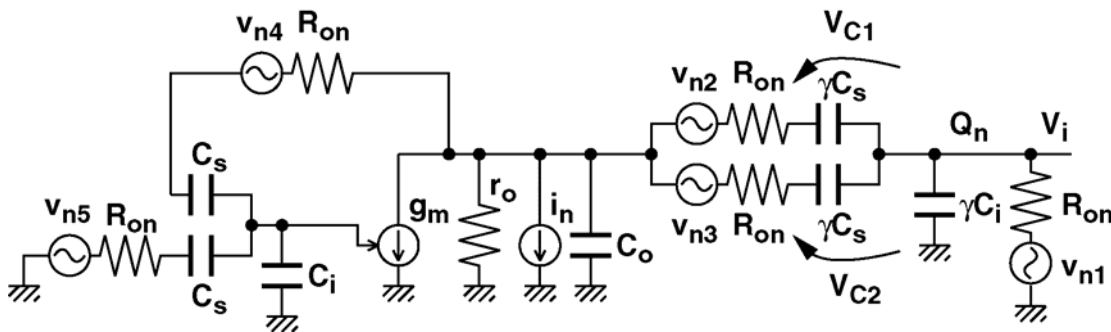
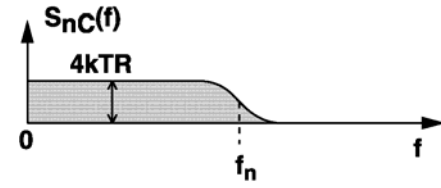
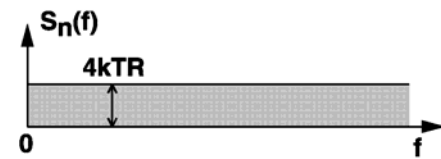
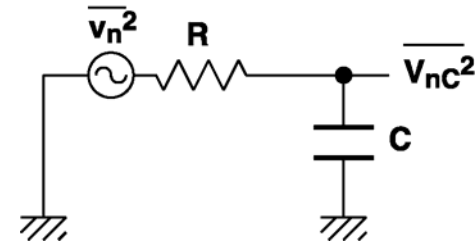
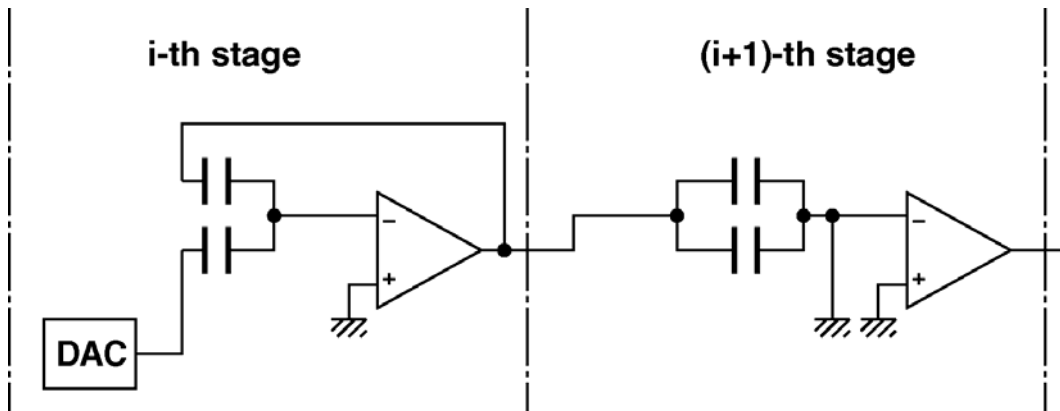
1.5Bステージの変換特性



ADC入出力特性

精度を決めるもの：ノイズ

最終的にADCの精度を決めるものはノイズである。
トランジスタ・抵抗などいくつかのノイズ源があるが、最終的には容量で決定される。



$$\overline{V_{nC}^2} = 4kTR \int_0^{\infty} \frac{1}{1 + (\omega/CR)^2} df$$

$$= \frac{kT}{C}$$

静岡大 川人先生より

ノイズの計算

信号電力とノイズ電力の比がSNRである。高分解能になるほど高いSNRが求められる。
ノイズ電力は容量で決定され、信号電力は信号振幅で決定される。

a) kT/C ノイズ

$$v_{c_tot}^2 = \sum_{n=0}^{N-1} \frac{1}{2^n} \frac{kT}{C} \approx \frac{2kT}{C}$$

b) 入力換算熱雑音

$$v_{ther}^2 \approx 1.7 \frac{kT}{C}$$

全ノイズ

$$v_{c_tot}^2 + v_{ther}^2 \approx 3.7 \frac{kT}{C}$$

このノイズ電力が量子化ノイズ電力の半分を基準とすると、

$$v_q^2 = \frac{1}{3} \left(\frac{q}{2} \right)^2 = \frac{1}{3} \left(\frac{2V_{ref}}{2^{N+1}} \right)^2 = \frac{V_{ref}^2}{3 \cdot 2^{2N}}$$

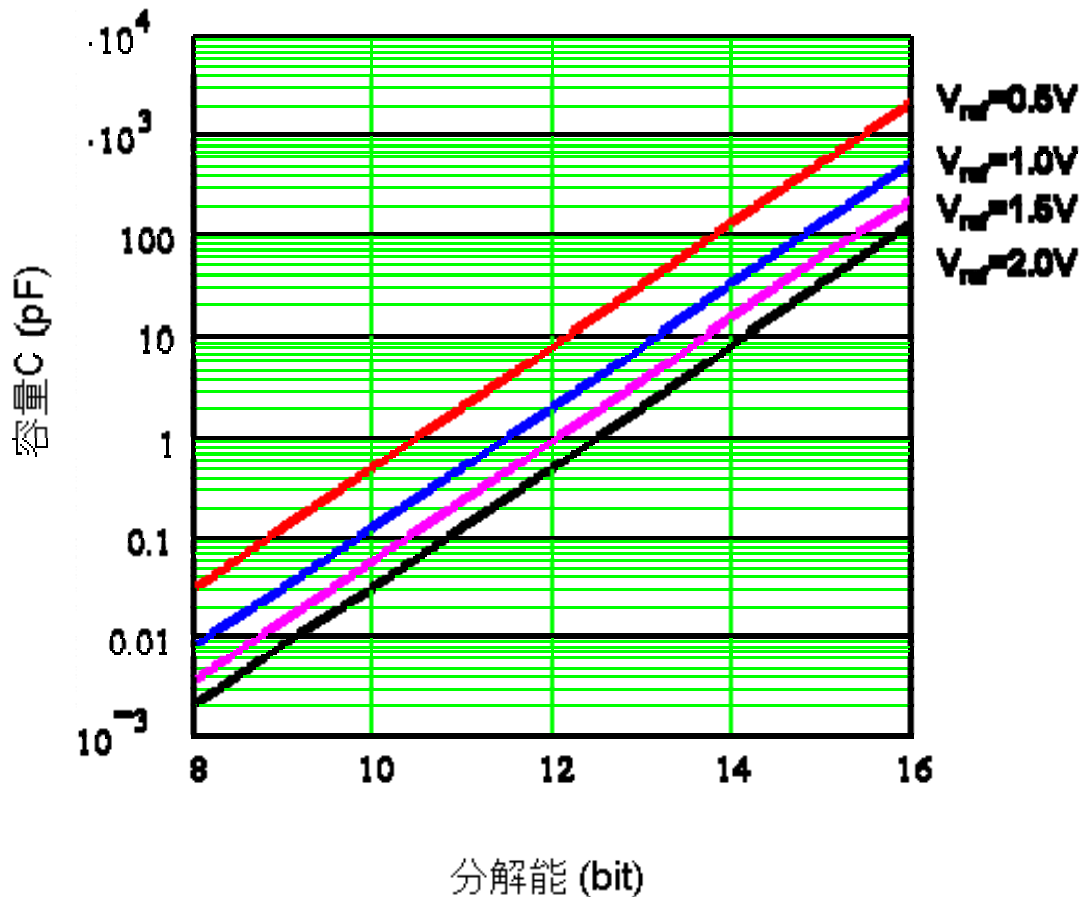
$$v_{c_tot}^2 + v_{ther}^2 \approx 3.7 \frac{kT}{C} \quad (T=400K) \text{ より、}$$

$$C \geq 1.23 \times 10^{-19} \left(\frac{2^N}{V_{ref}} \right)^2$$

の条件が得られる。

分解能と信号振幅および容量

kT/Cノイズからは分解能が2ビット上がる毎に必要な容量は1桁上昇する



分解能と必要容量

$V_{ref} = 1.0V$ とすると、

10bit: 0.1pF

12bit: 2pF

14bit: 30pF

$V_{ref} = 2.0V$ とすると、

10bit: 0.025pF

12bit: 0.5pF

14bit: 8pF

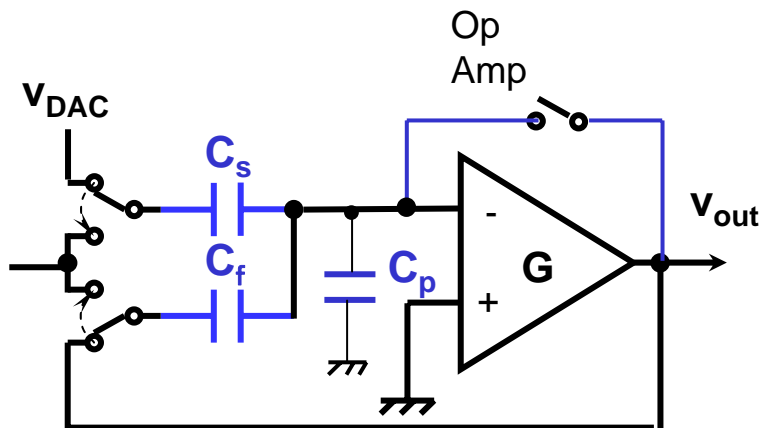
参照電圧の2乗に反比例

$$C \geq 1.23 \times 10^{-19} \left(\frac{2^N}{V_{ref}} \right)^2$$

V_{ref} : 片側振幅

オペアンプの利得とGBW

必要なDCゲインは分解能から算出され、NビットADCのSNRに8dB加えたものである。
 必要なGBWは変換周波数に分解能を掛けたものである。

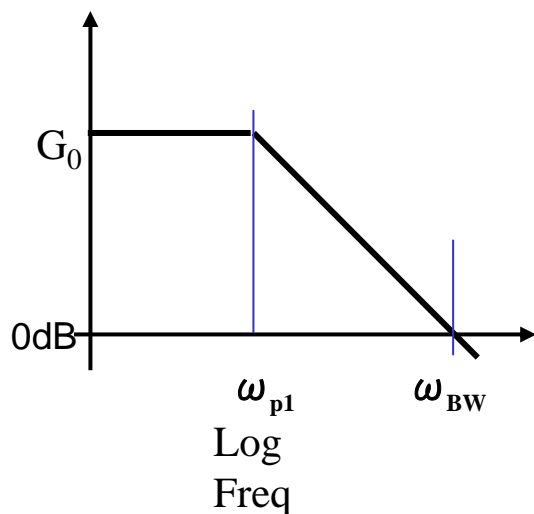


$$v_{out} = 2 \left(v_{in} - \frac{v_{DAC}}{2} \right) \frac{1}{1 + \frac{1}{G} \left(2 + \frac{C_p}{C_f} \right)} \quad \beta \equiv \frac{1}{\left(2 + \frac{C_p}{C_f} \right)}$$

$$G_{error} \approx -\frac{1}{G} \left(2 + \frac{C_p}{C_f} \right) \approx -\frac{1}{G\beta} \quad \frac{1}{G} \leq \frac{\beta}{2^{N-M+1}}$$

$$G(dB) > 6N + 10$$

(NビットADCのSNRは
SNR=6N+2 (dB))



$$E_{error} = \frac{1}{1 + G(s)\beta} = \frac{1}{1 + \frac{G_0\beta}{1 + \frac{s}{\omega_{p1}}}}$$

$$E_{error} = \exp(-G_0\omega_{p1}\beta t) = \exp\left(-\frac{t}{\tau}\right), \quad \tau = \frac{1}{\omega_{BW}\beta}$$

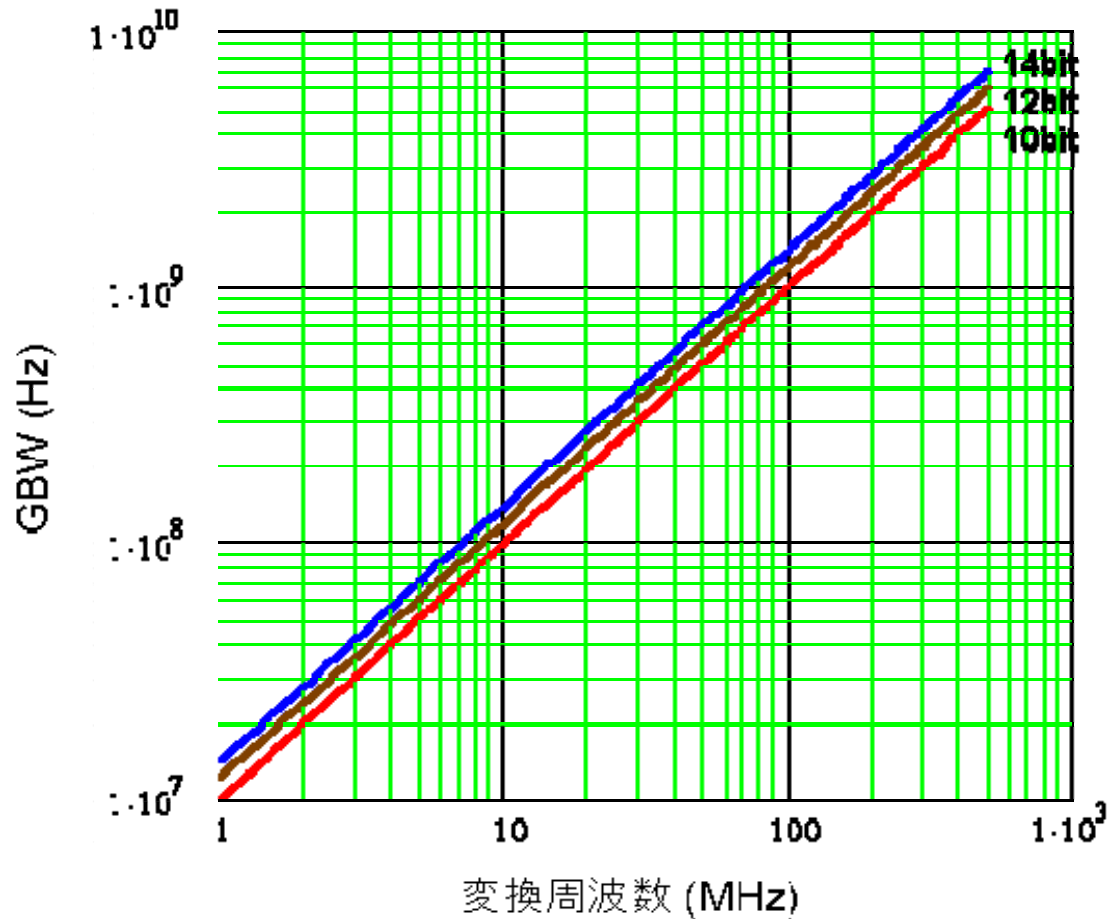
$$\exp\left(-\frac{t_{ss}}{\tau}\right) < \frac{1}{2^{N-M+1}}$$

$$GBW > N \cdot f_c$$

オペアンプのGBW

OPアンプのGBWは変換周波数のおよそ10倍から15倍程度必要

→1GHzの変換には10GHz以上のGBWが必要



t_{ss} は変換の半周期の2/3
 $\beta = 1/3$ としたとき

オペアンプの動作電流

分解能が2ビット上がるにつれて約20倍消費電流が増加する。
変換周波数が1桁上がると消費電流も1桁上がる。

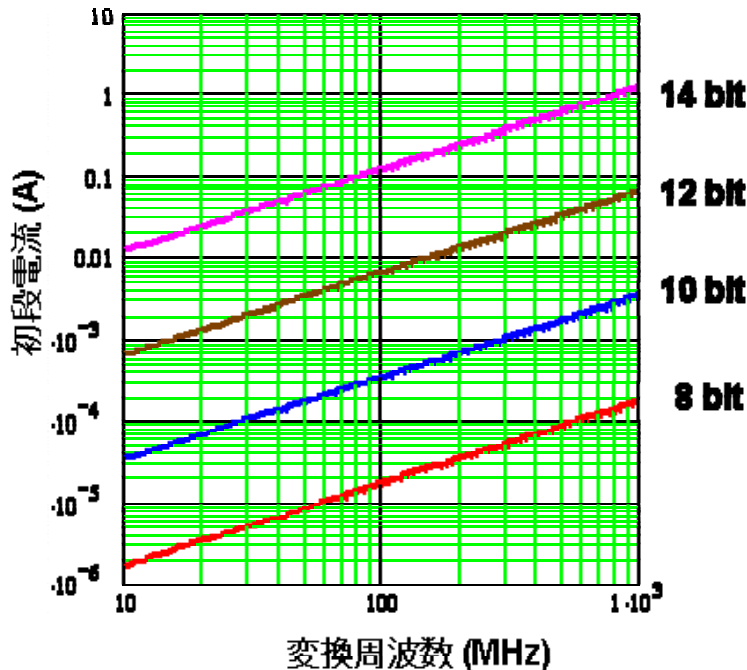
$$C \geq 1.23 \times 10^{-19} \left(\frac{2^N}{V_{ref}} \right)^2$$

$$I_s \approx 2.5C \cdot N \cdot f_c$$

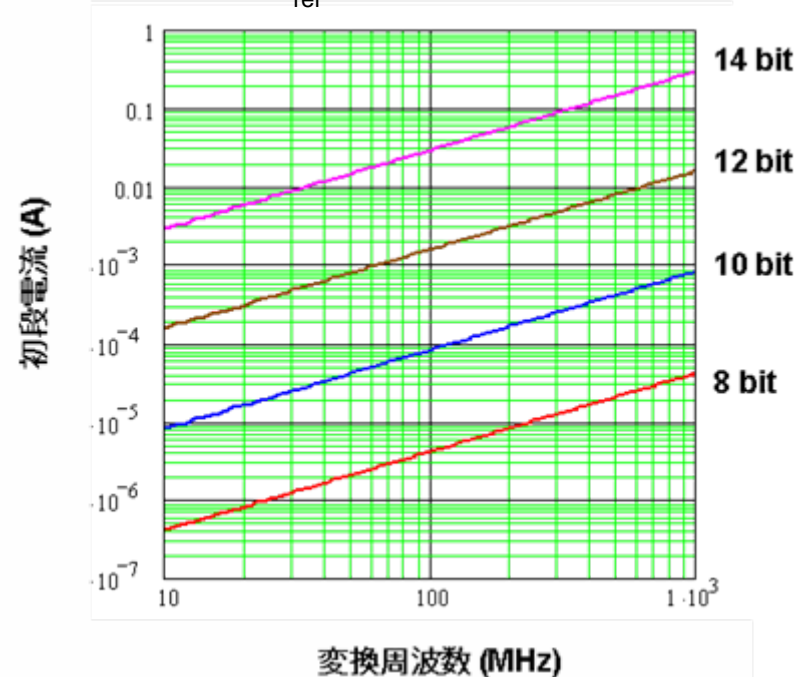
信号振幅を2倍に上げると消費電流は1/4になる

$$\therefore I_s \geq 3.1 \times 10^{-19} \times \frac{N \cdot 2^{2N}}{V_{ref}^2} \cdot f_c$$

$V_{ref}=1.0V$ の場合



$V_{ref}=2.0V$ の場合



信号伝達パス

OPアンプの安定条件 $\omega_{p2} > 2\omega_u$

$\omega_{p2} \propto \omega_T$ トランジスタの f_T が高いほど第2ポールは高くなる

$$\frac{V_{out}}{V_{in}} = \frac{g_m R_L}{\left(1 + \frac{s}{\omega_{p1}}\right) \left(1 + \frac{s}{\omega_{p2}}\right)}$$

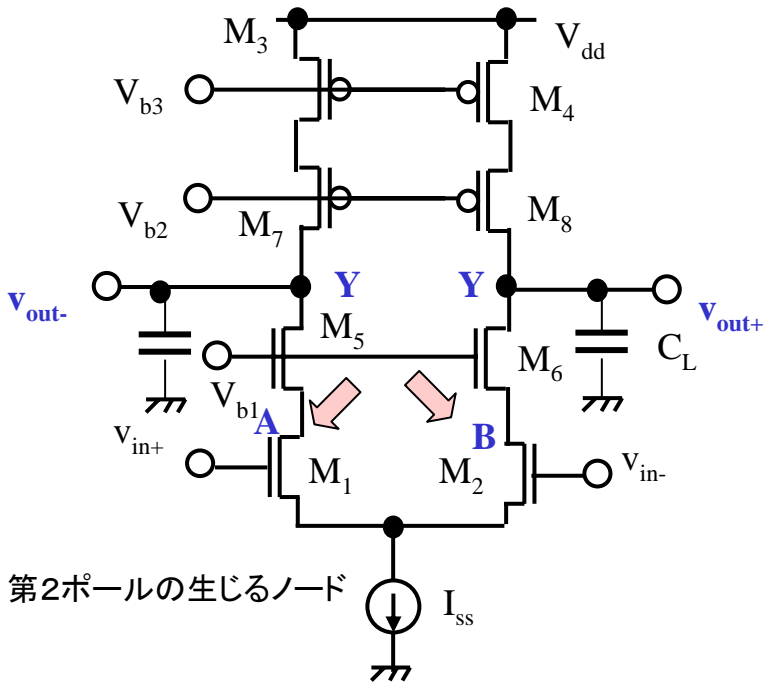
DC利得

$$g_m R_L$$

$$\omega_{p1} = \frac{1}{R_L C_L}$$

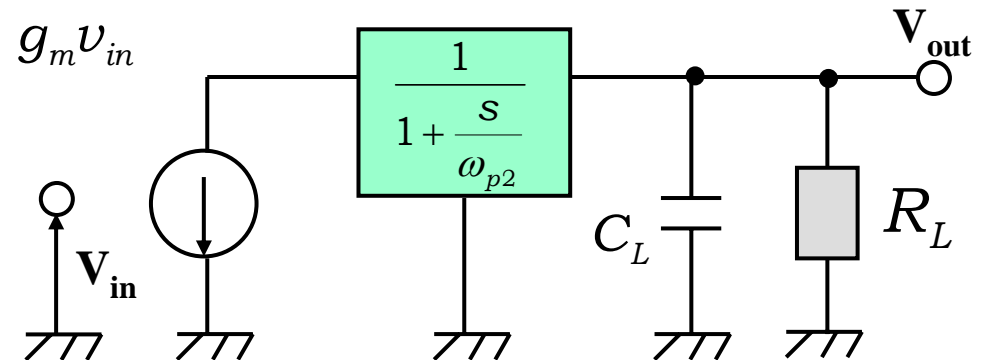
第2ポールはカスコード段で決まる

$$\left| \frac{V_{out}}{V_{in}} \right| \approx \frac{g_m R_L}{\left(\frac{\omega_u}{\omega_{p1}}\right)} = 1 \quad \therefore \omega_u = \frac{g_m}{C_L} \quad \omega_{p2} \propto \omega_T$$



第2ポールの生じるノード

ノードでの電流
伝達時定数



初段のMOS
トランジスタ

負荷容量

等価負荷抵抗

パイプライン型ADCの設計のまとめ

- 分解能: N
 - 基準容量: 分解能と信号振幅から決定
 - OPアンプ利得: 分解能から決定
- 変換周波数: f_c
 - OPアンプのGBW: 変換周波数から決定
- 消費電流: I_d
 - 容量とGBWおよび回路形式から決定

$$C \geq 1.23 \times 10^{-19} \left(\frac{2^N}{V_{ref}} \right)^2$$

$$G(dB) > 6N + 10$$

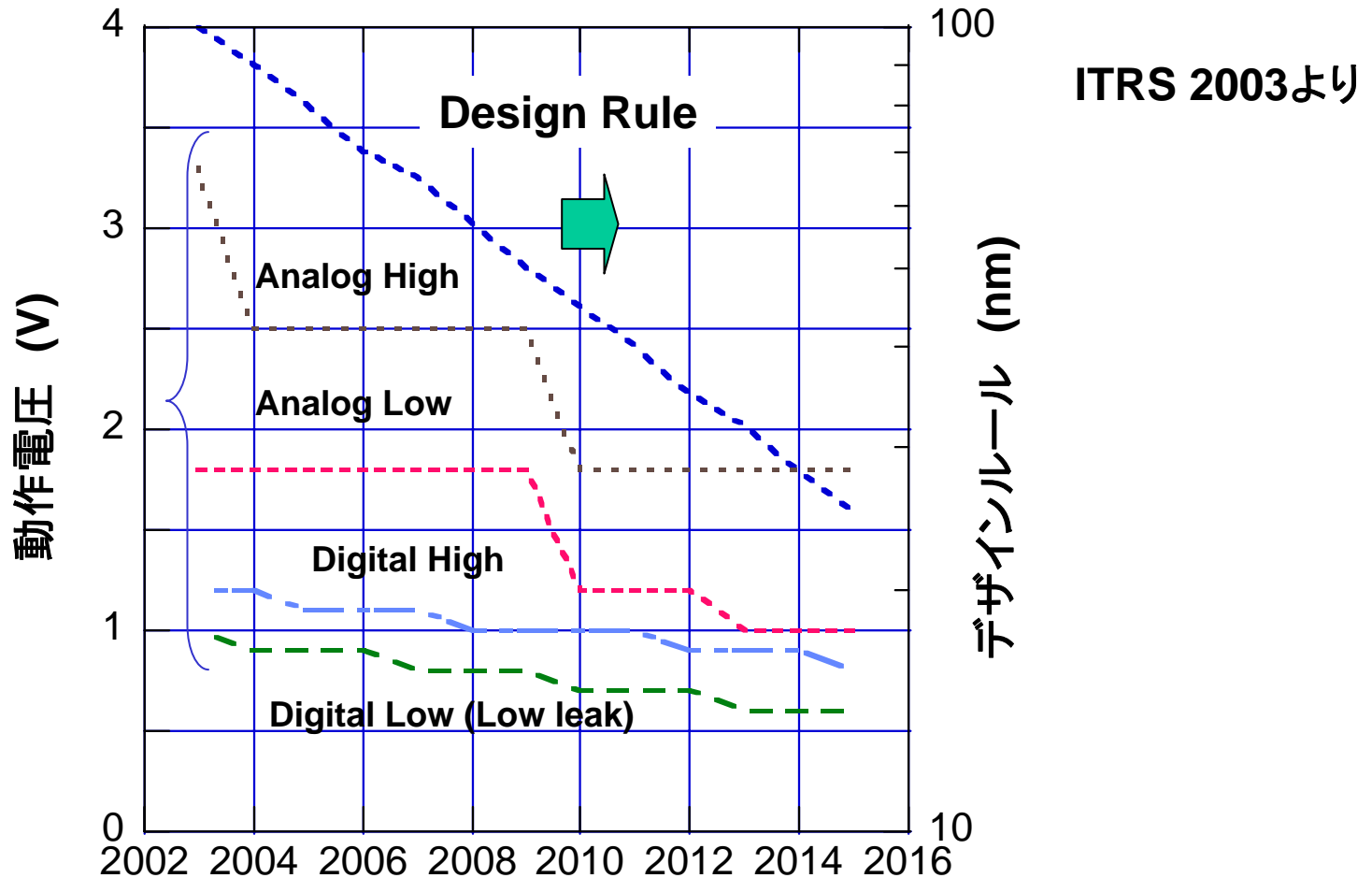
$$GBW > N \cdot f_c$$

$$\therefore I_s \geq 3.1 \times 10^{-19} \times \frac{N \cdot 2^{2N}}{V_{ref}^2} \cdot f_c$$

低電圧回路設計

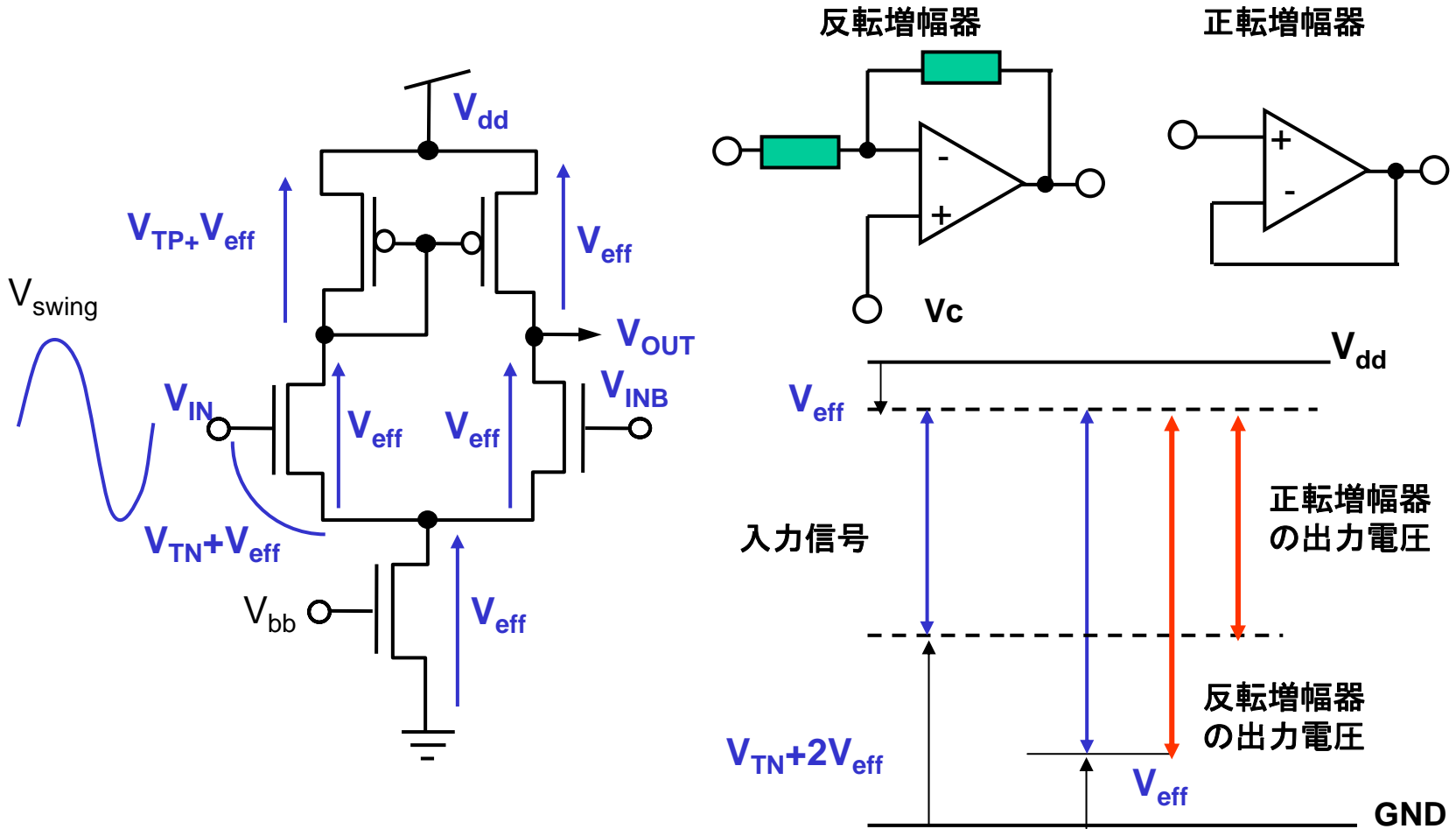
今後のSoCの動作電圧

今後は内部コアTrでも1V前後の動作電圧で推移。急激には低下しない。
コアトランジスタを用いてもかなりのアナログ回路は構成可能と思われる。



アナログ回路の動作電圧

アナログ回路の動作電圧は回路形式、使用形態、しきい値電圧、有効ゲート電圧、信号振幅などで決まる



動作電圧を下げるには

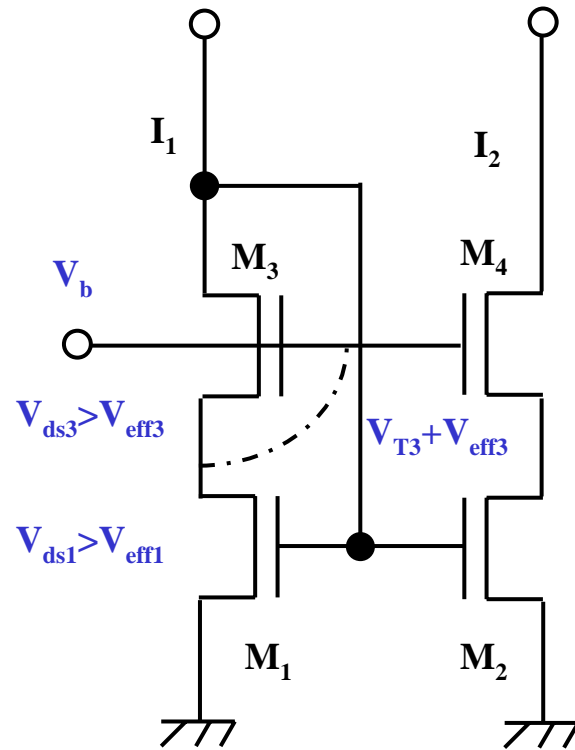
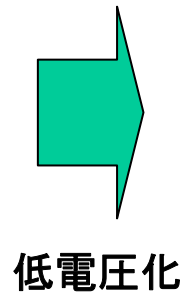
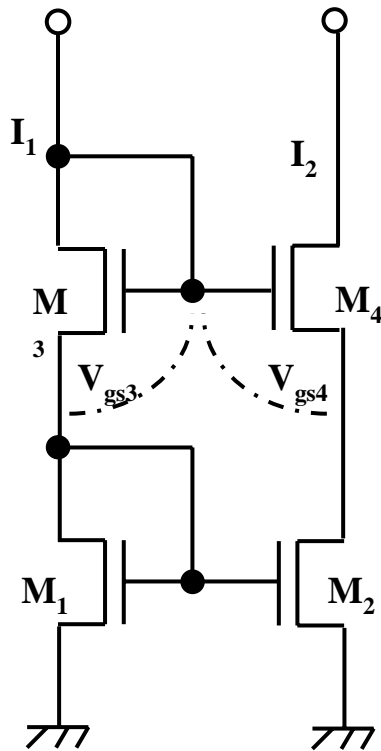
- 反転増幅器の採用
- しきい値電圧が利かないような回路形式
- 動作電圧に関する V_{eff} の数を削減
- 入出力コモンモード電圧を合わせる
- 入出力コモンモード電圧差の調整
- 差動形式の採用→信号振幅が2倍になる

低電圧カレントミラー

回路を工夫すれば低電圧動作が可能

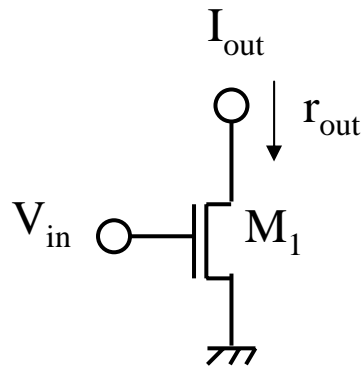
$$2(V_{TN} + V_{eff}) \quad V_{TN} + 2V_{eff}$$

$$V_{TN} + 2V_{eff} \quad 2V_{eff}$$



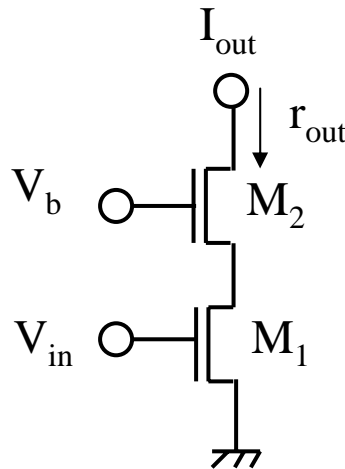
出力抵抗を上げる各種回路

カスコード回路だけでなく、OPアンプを用いたスーパーカスコードを用いると出力抵抗を極めて高くできるためDC利得が上がる。



$$r_{out} \approx r_{ds}$$

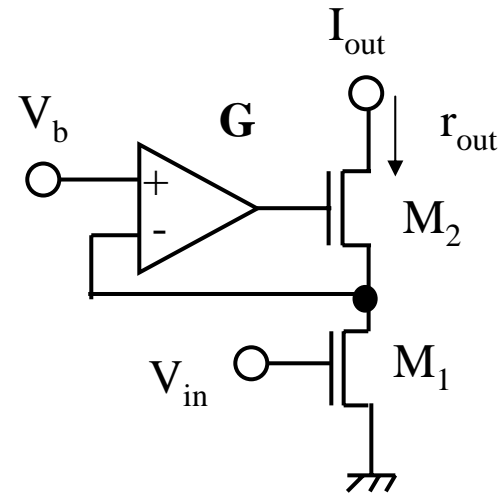
(a) Source grounded ckt.



$$r_{out} \approx r_{ds1} (g_{m2} \cdot r_{ds2})$$

$$\approx r_{ds1} \cdot G_o$$

(b) Cascode ckt.



$$r_{out} \approx r_{ds1} (g_{m2} \cdot r_{ds2}) \cdot G$$

$$\approx r_{ds1} \cdot G_o \cdot G$$

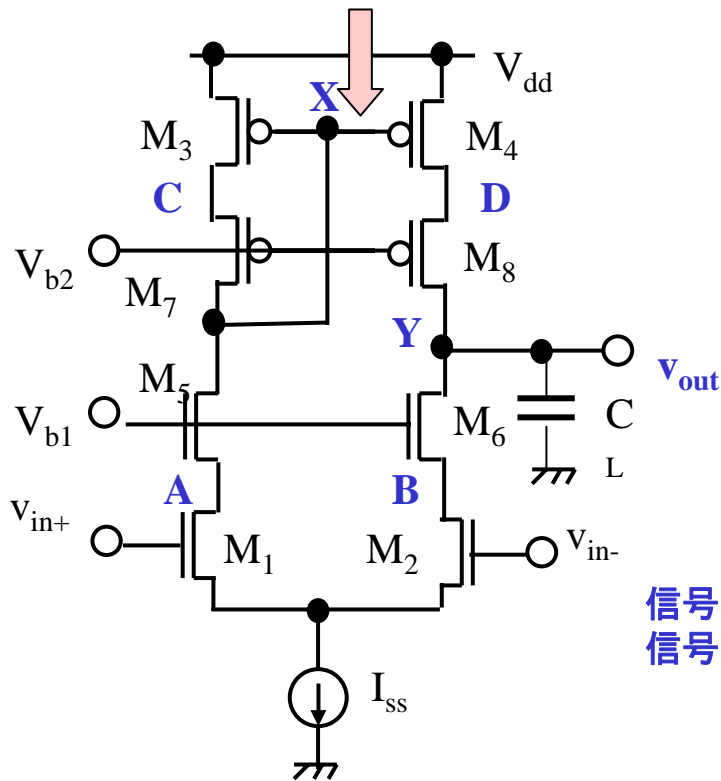
(c) Super-cascode ckt.

差動化

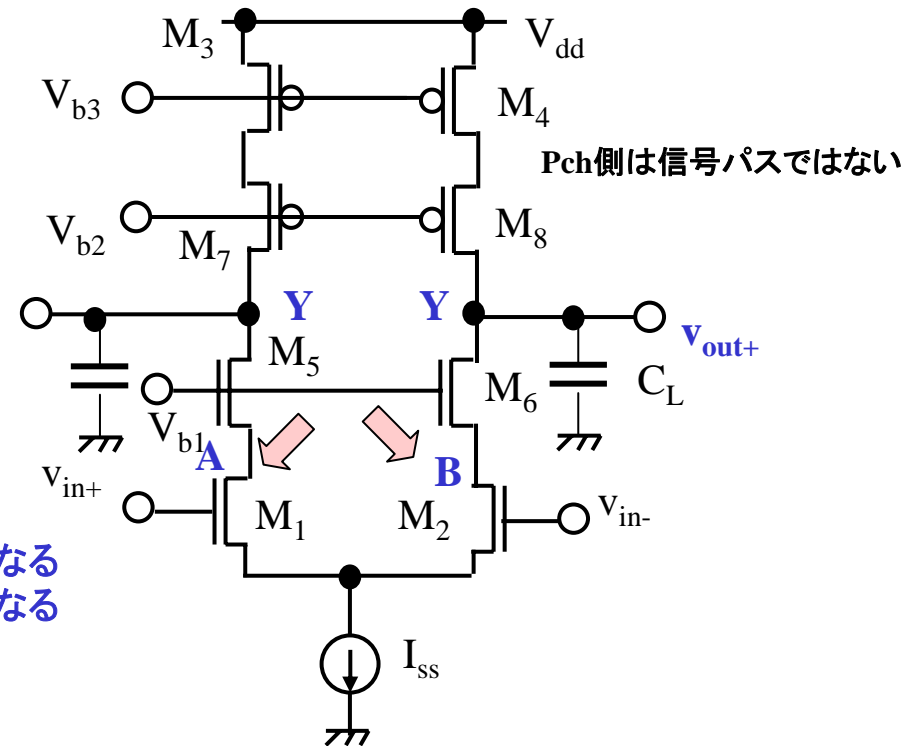
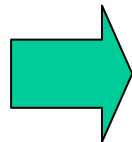
差動入出力にすることで振幅が増加するほか、信号帯域も上がる

ミラーポールが周波数特性を悪化させる。

第2ポールはカスコード段で決まる



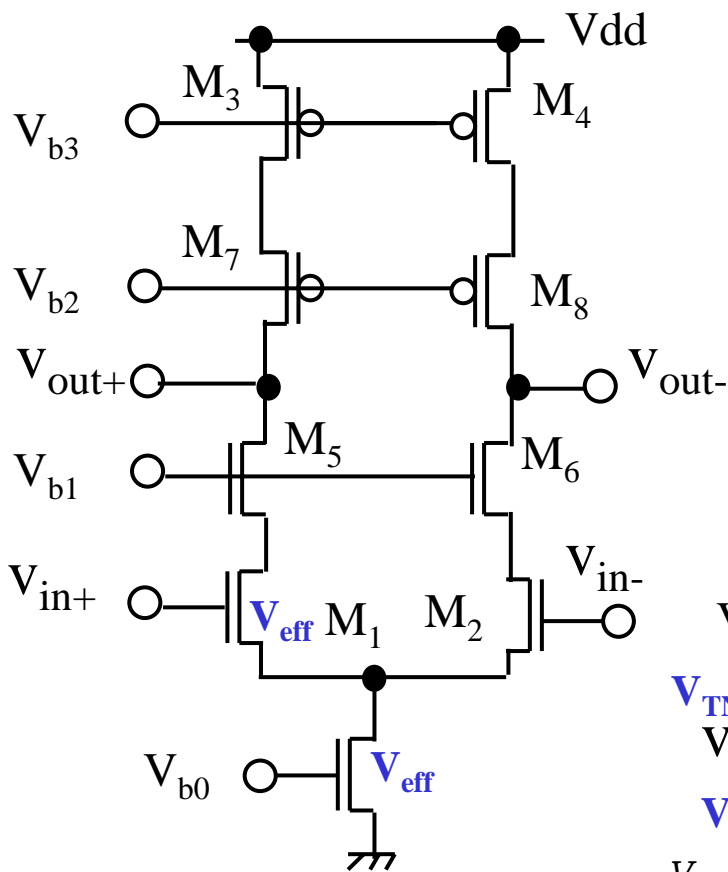
差動化



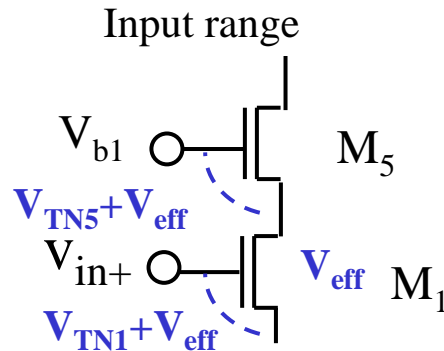
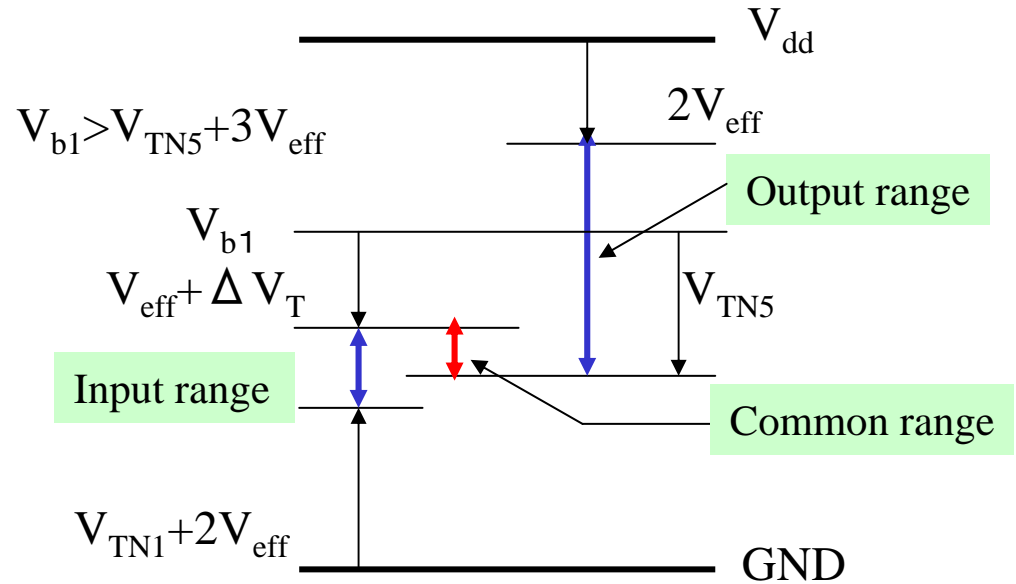
信号振幅が2倍になる
信号電力は4倍になる

テレスコピックカスコード回路の許容入出力電圧

テレスコピックカスコード回路は利得増加に有効だが共通入出力電圧範囲は極めて小さい

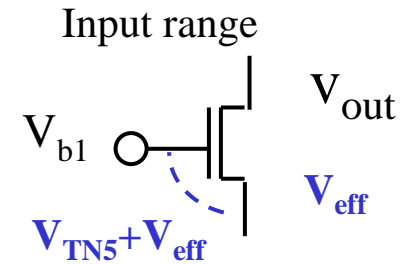


(a) Telescopic cascode op-amp



$$V_{b1} > V_{in} - V_{TN1} + V_{TN5} + V_{eff}$$

$$V_{b1} > V_{in} + \Delta V_T + V_{eff}$$

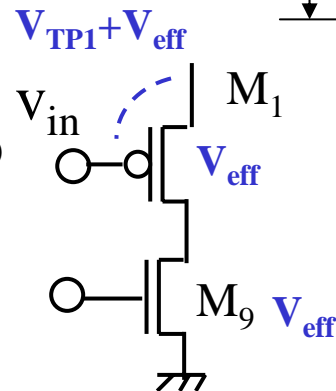
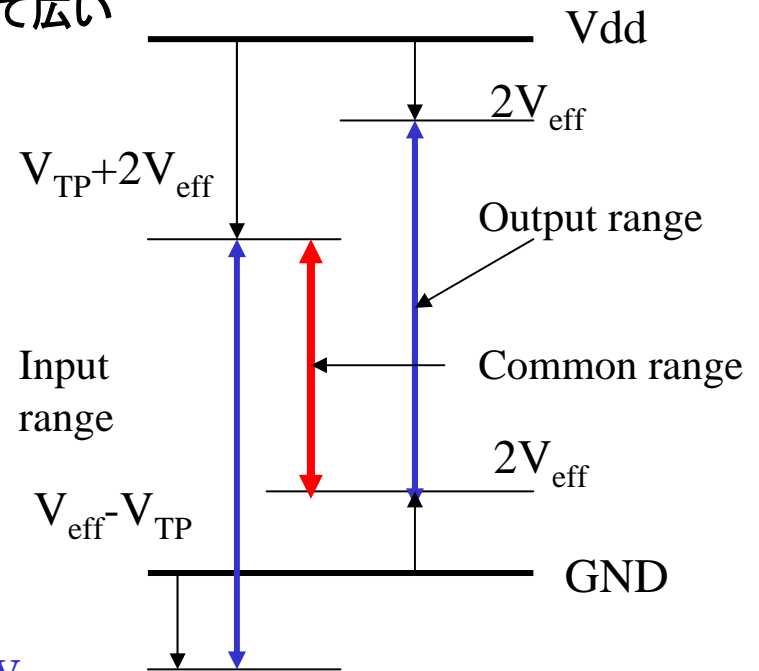
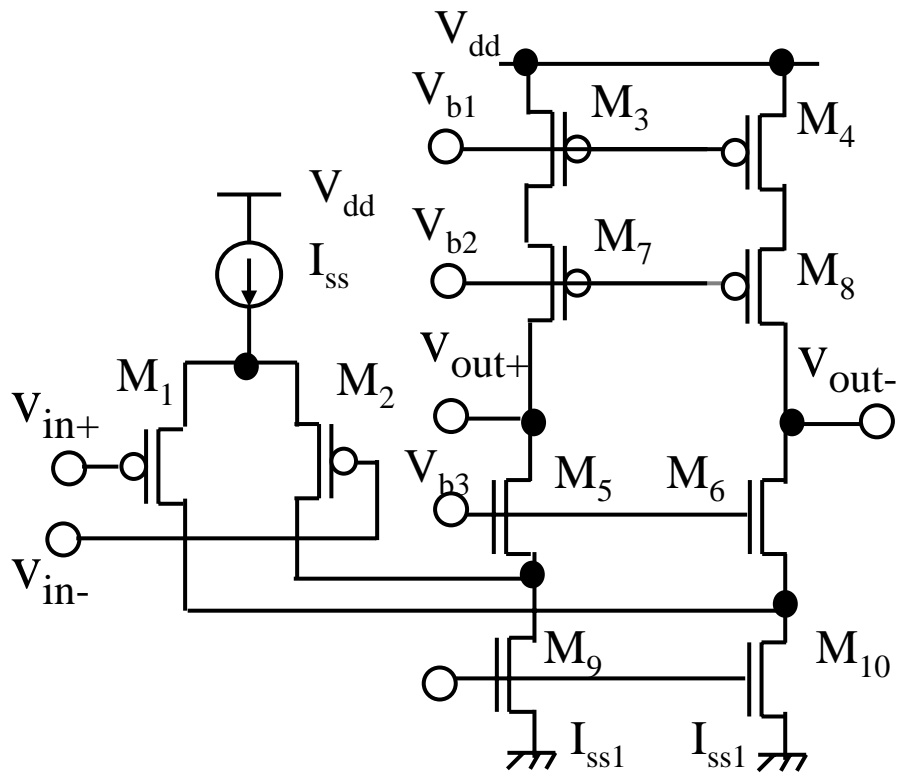


$$V_{out} > V_{b1} - V_{TN5} - V_{eff} + V_{eff}$$

$$V_{out} > V_{b1} - V_{TN5}$$

フォールディッドカスコード回路の許容入出力電圧

フォールディッドカスコード回路の入出力電圧範囲は極めて広い
ただし、消費電力が増加するほか信号帯域も狭くなる

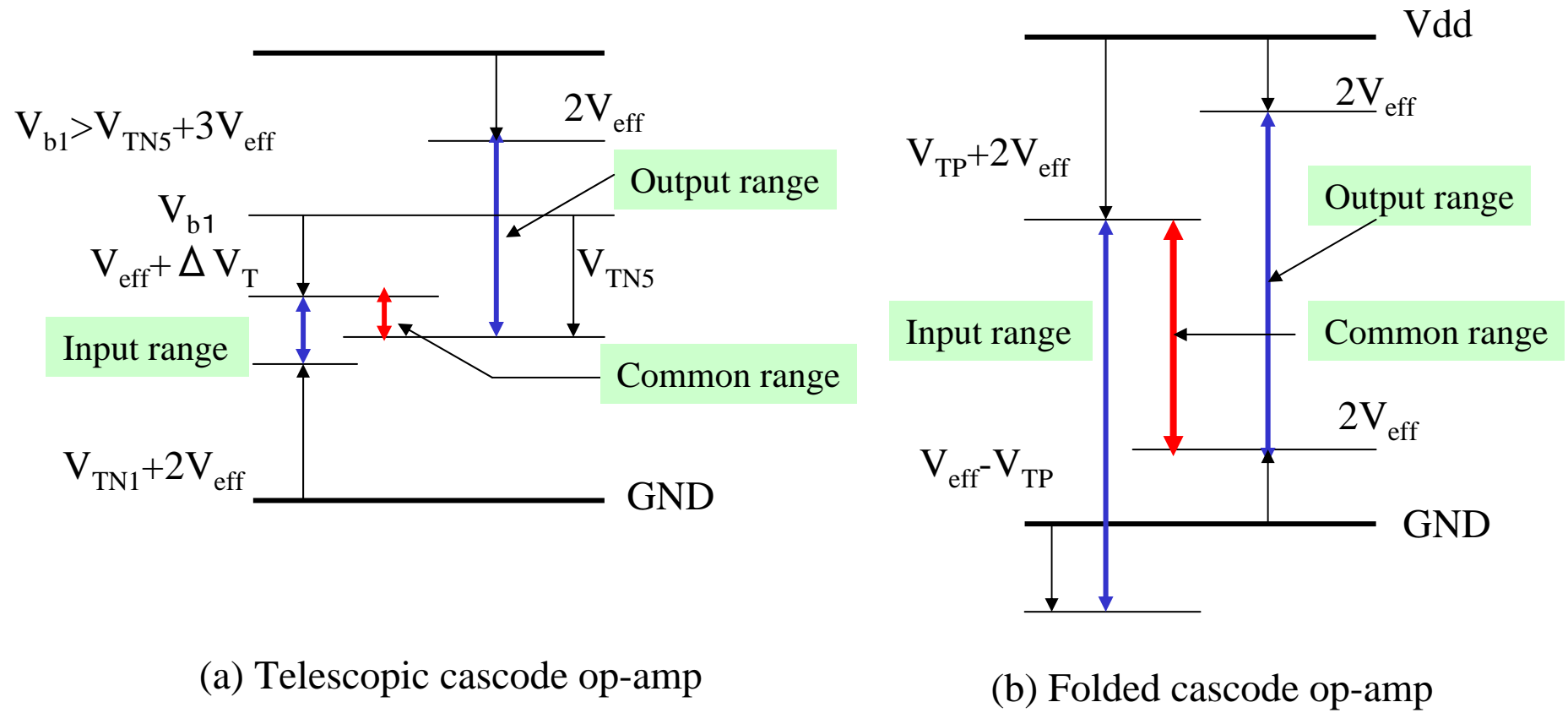


$$V_{in} + V_{TP1} + V_{eff} - V_{eff} > V_{eff}$$

$$\therefore V_{in} > V_{eff} - V_{TP1}$$

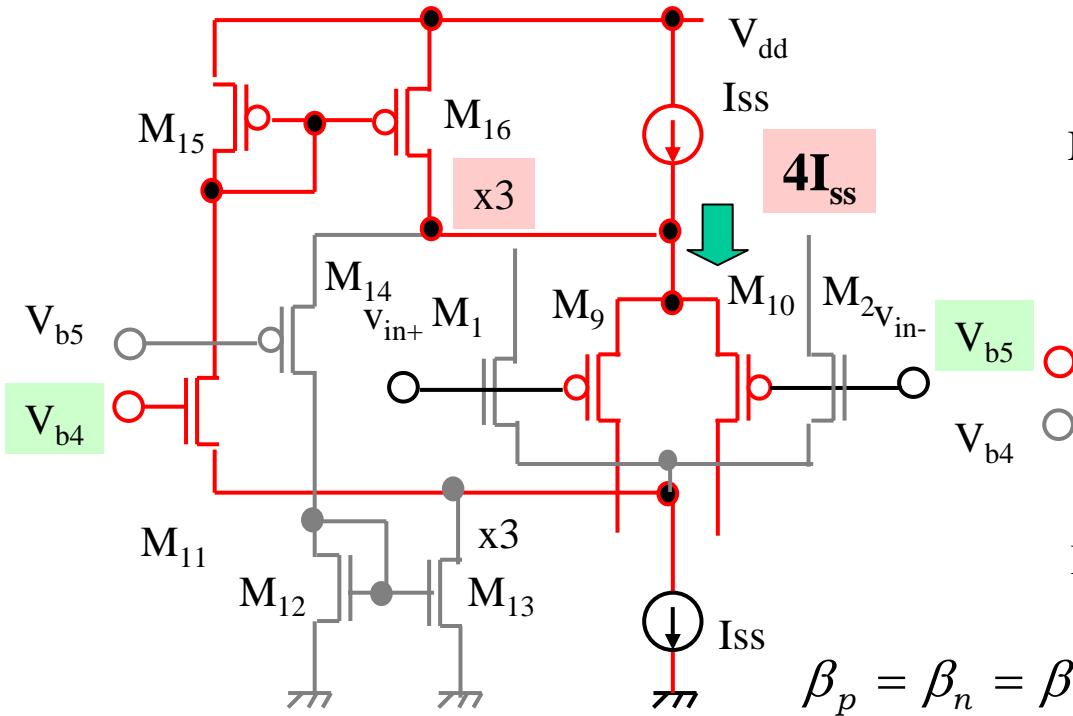
カスコード型演算増幅器の入出力電圧レンジ

フォールデッドカスコード回路の入出力電圧範囲は極めて広い
 →低電圧に向いている



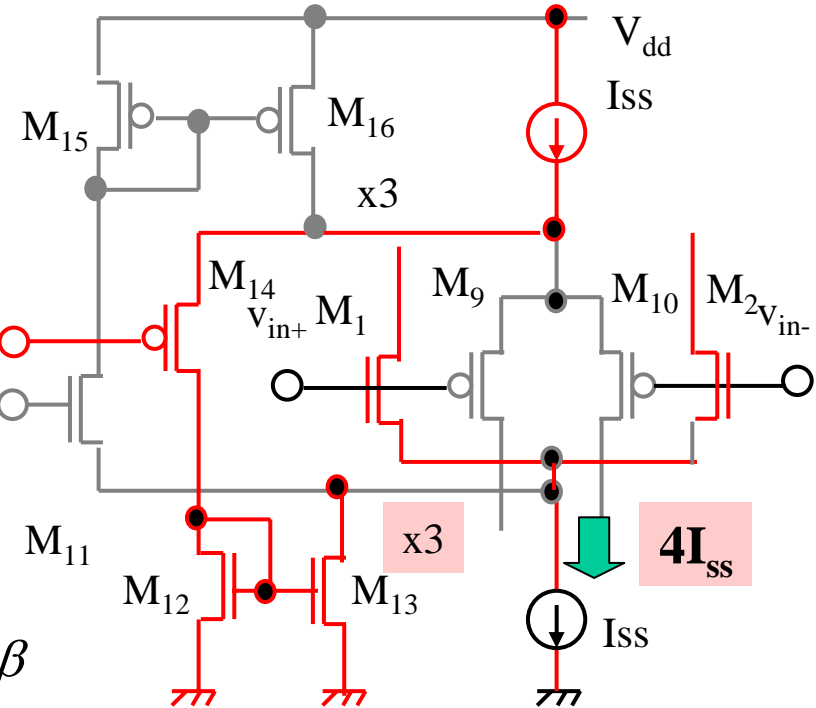
動作

$V_{in} < V_{b4}$ のとき: P入力のみ動作



$$g_m = g_{mp} = \sqrt{\beta_p \cdot 4I_{ss}} = 2\sqrt{\beta I_{ss}}$$

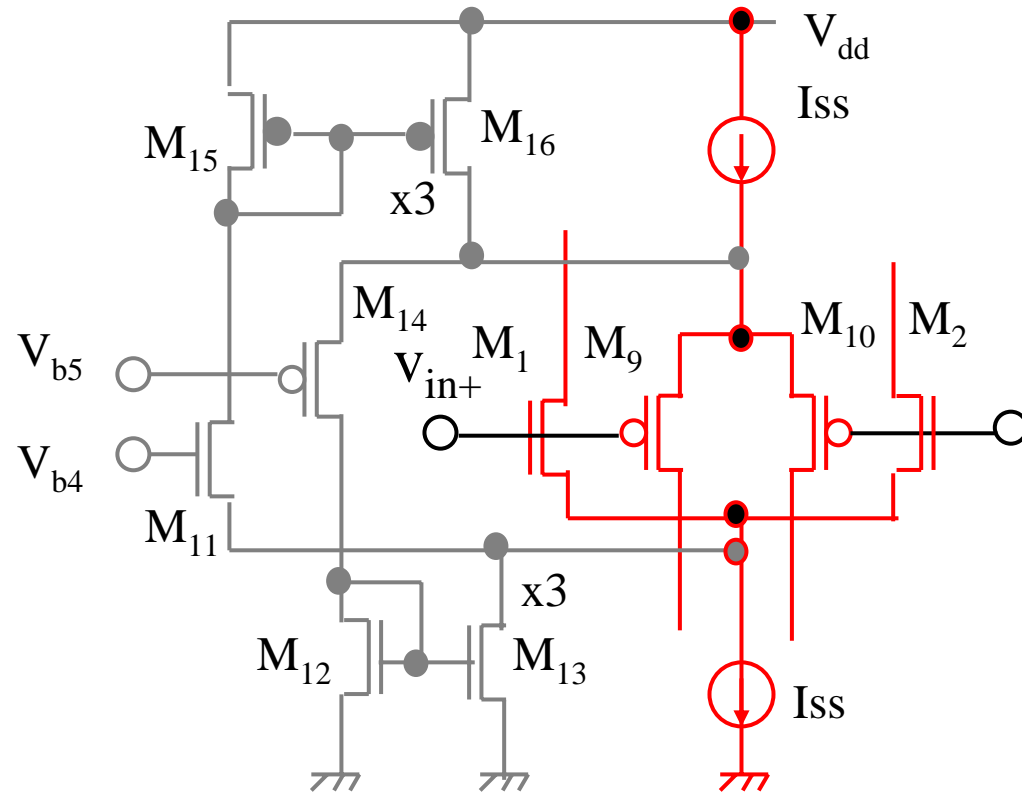
$V_{in} > V_{b5}$ のとき: N入力のみ動作



$$g_m = g_{mn} = \sqrt{\beta_n \cdot 4I_{ss}} = 2\sqrt{\beta I_{ss}}$$

入力トランジスタペアに4倍の電流を流すことに注意

動作



$V_{b4} > V_{in} > V_{b5}$ のとき
P入力、N入力両方動作

したがってほぼ入力電圧が全域で一定gmを実現。

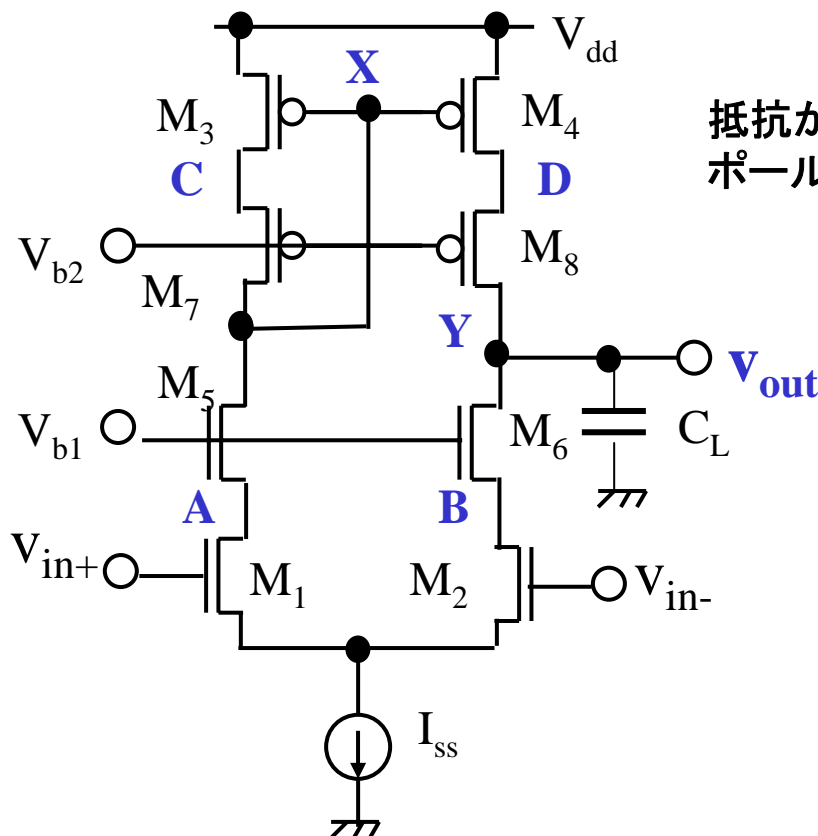
ただし、実際には切替わり部でgmがやや増加する。

また、入力電圧によってオフセット電圧やノイズ特性が異なるなどの問題がある。

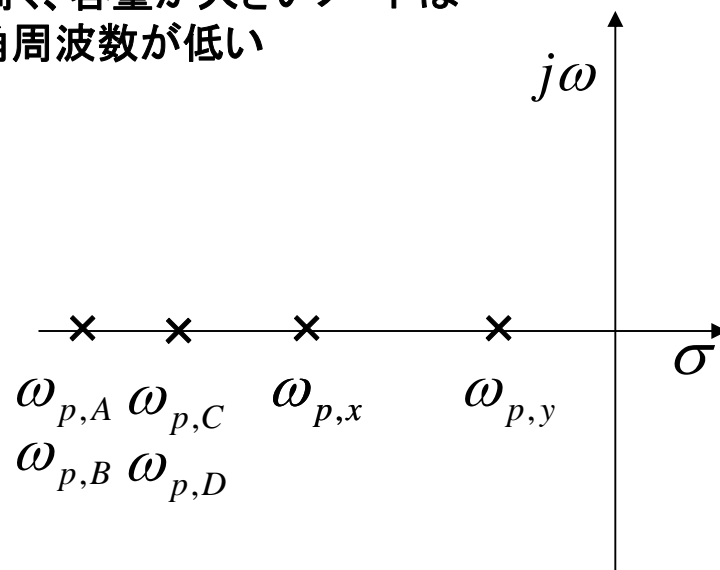
$$g_m = g_{mn} + g_{mp} = \sqrt{\beta_n I_{ss}} + \sqrt{\beta_p I_{ss}} = 2\sqrt{\beta I_{ss}}$$

カスコード型演算増幅器とそのポールの位置

信号パスの各ノードには固有の時定数が存在し、これがポールを形成する。
 →各ノードの時定数・ポール(ゼロ)を推定することが重要



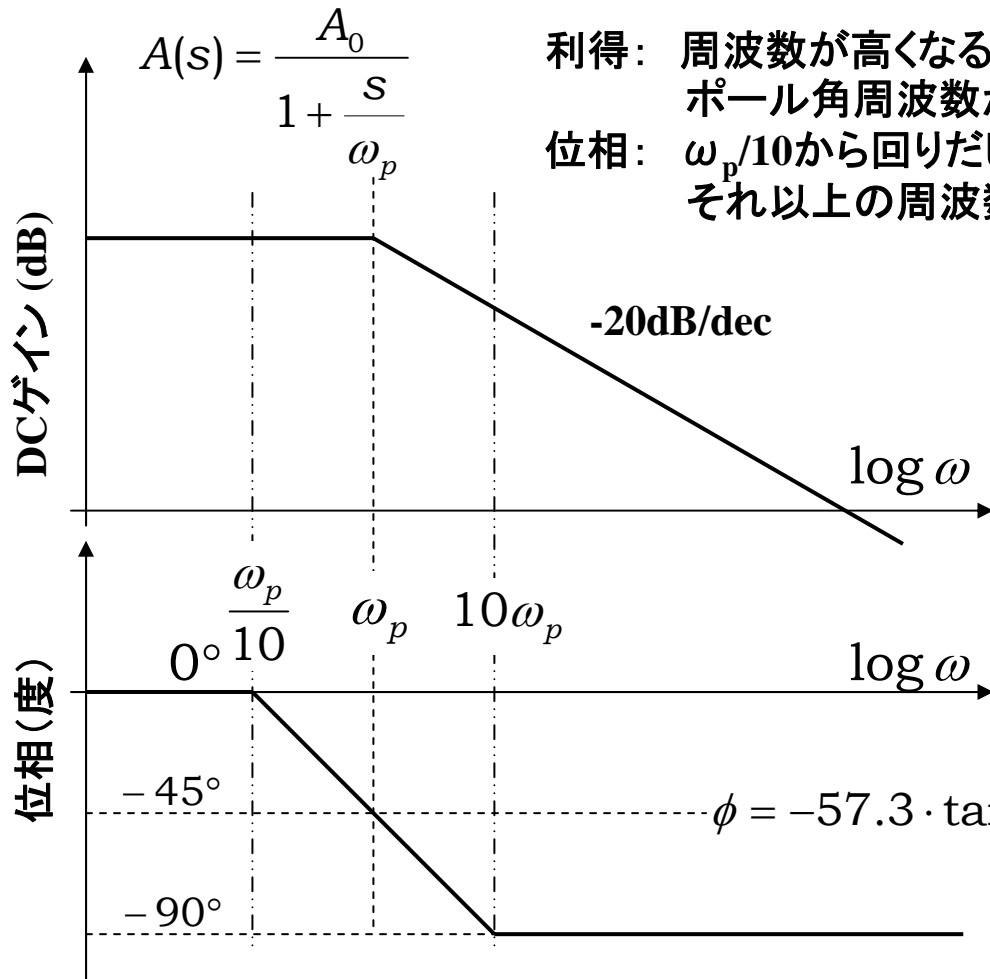
抵抗が高く、容量が大きいノードは
 ポール角周波数が低い



(a) カスコード型演算増幅器

(b) 演算増幅器のポールの位置

ポールの性質



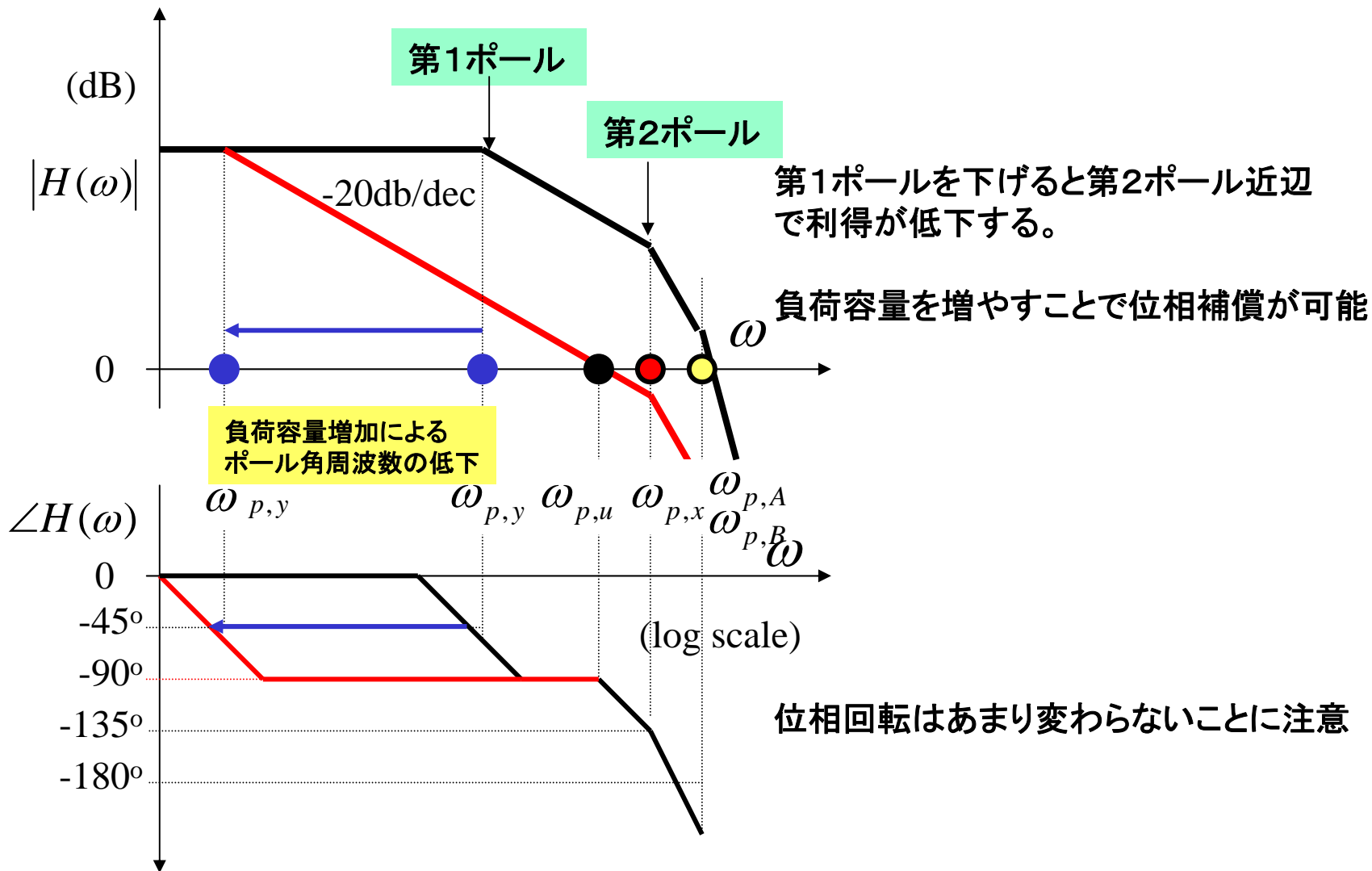
利得: 周波数が高くなると
 ポール角周波数から-20dB/decで単調減少
 位相: $\omega_p/10$ から回りだし、 ω_p で-45°、 $10\omega_p$ で-45° 回転するが
 それ以上の周波数では-90° を保つ。

$$\begin{aligned}
 -20 \log \left| 1 + j \frac{\omega}{\omega_p} \right| &= -10 \log \left(1 + \left(\frac{\omega}{\omega_p} \right)^2 \right) \\
 &= 0 \text{ dB } (\omega \ll \omega_p) \\
 &= -20 \log \left(\frac{\omega}{\omega_p} \right) (\omega \gg \omega_p)
 \end{aligned}$$

$$\phi = -57.3 \cdot \tan^{-1} \frac{\omega}{\omega_p}$$

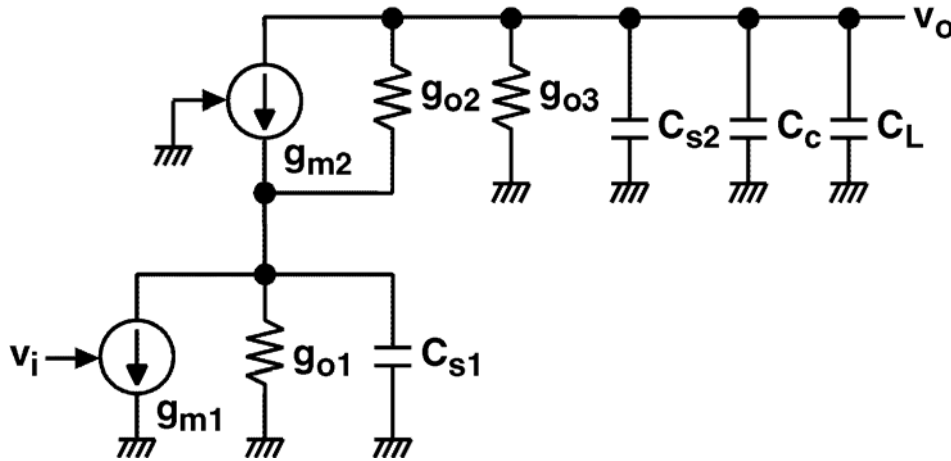
カスコード型オペアンプの位相補償

負荷容量を増加させて第1ポールの周波数を下げ、GBWを第2ポールの周波数の半分以下にする



CMOS基本アンプの極

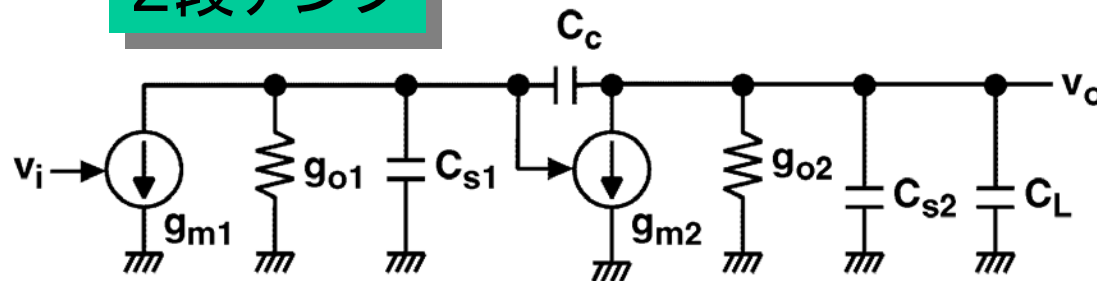
1段アンプ(カスコード)



$$f_{p1} \cong \frac{g_{o3} + g_{o1}(g_{o2}/g_{m2})}{2\pi(C_{s2} + C_C + C_L)}$$

$$f_{p2} \cong \frac{g_{m2}}{2\pi C_{s1}}$$

2段アンプ



$$f_{p1} \cong \frac{g_{o1}(g_{o2}/g_{m2})}{2\pi C_C}$$

$$f_{p2} \cong \frac{g_{m2}}{2\pi \left\{ C_{s1} + C_{s2} + C_L + (C_{s2} + C_L) \frac{C_{s1}}{C_c} \right\}}$$

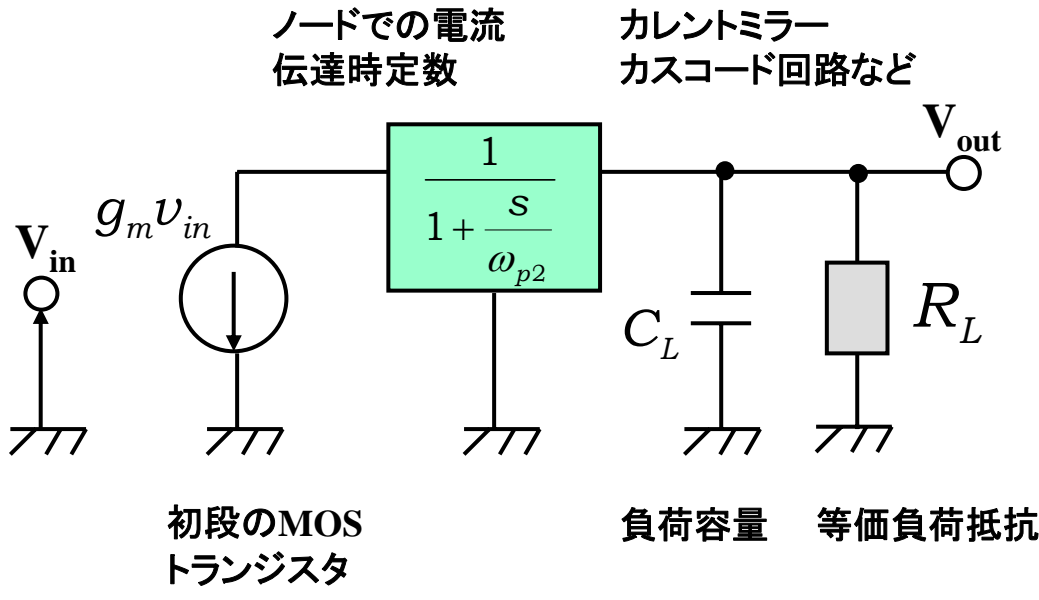
広帯域アンプには1段アンプが有利

信号伝達パスとGBW

位相補償の条件より $\omega_u < \frac{\omega_{p2}}{2}$

したがって $C_{s1} < \frac{C_L}{2}$

$$\frac{V_{out}}{V_{in}} = \frac{g_m R_L}{\left(1 + \frac{s}{\omega_{p1}}\right) \left(1 + \frac{s}{\omega_{p2}}\right)} \quad \omega_{p1} = \frac{1}{R_L C_L}$$



DC利得 $g_m R_L$

ユニティゲイン角周波数

$$\left| \frac{V_{out}}{V_{in}} \right| \approx \frac{g_m R_L}{\left(\frac{\omega_u}{\omega_{p1}} \right)} = 1 \quad \therefore \omega_u = \frac{g_m}{C_L}$$

$$\omega_{p2} = \frac{g_m}{C_{s1}}$$

負荷容量のアドミッタンスがMOSの g_m と等しくなる周波数

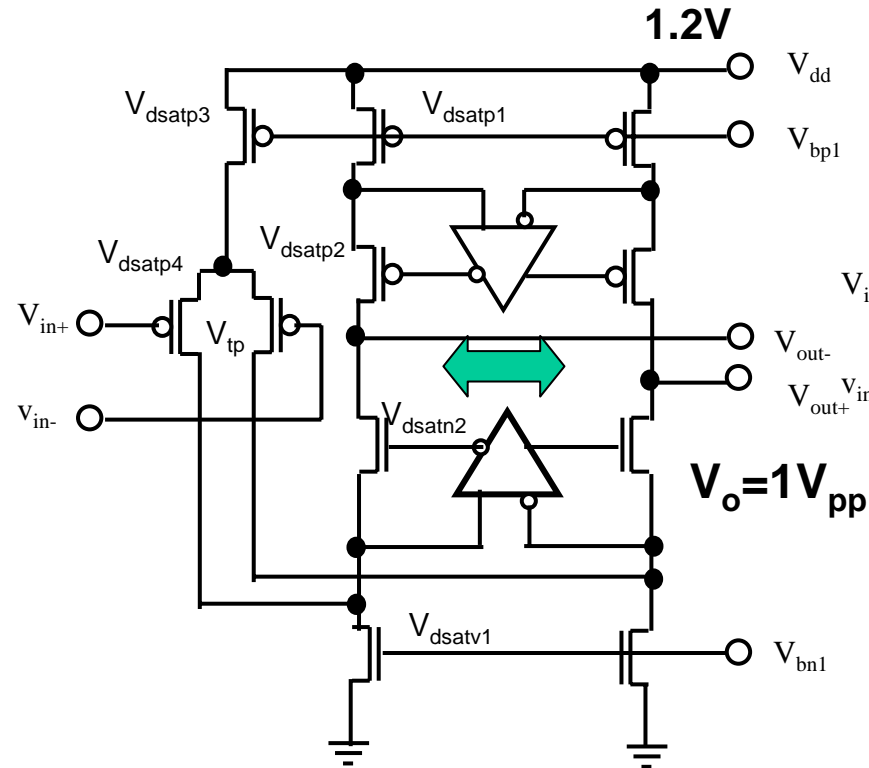
安定増幅の帯域を上げるには第2ポールの角周波数を上げる必要がある。

具体設計例

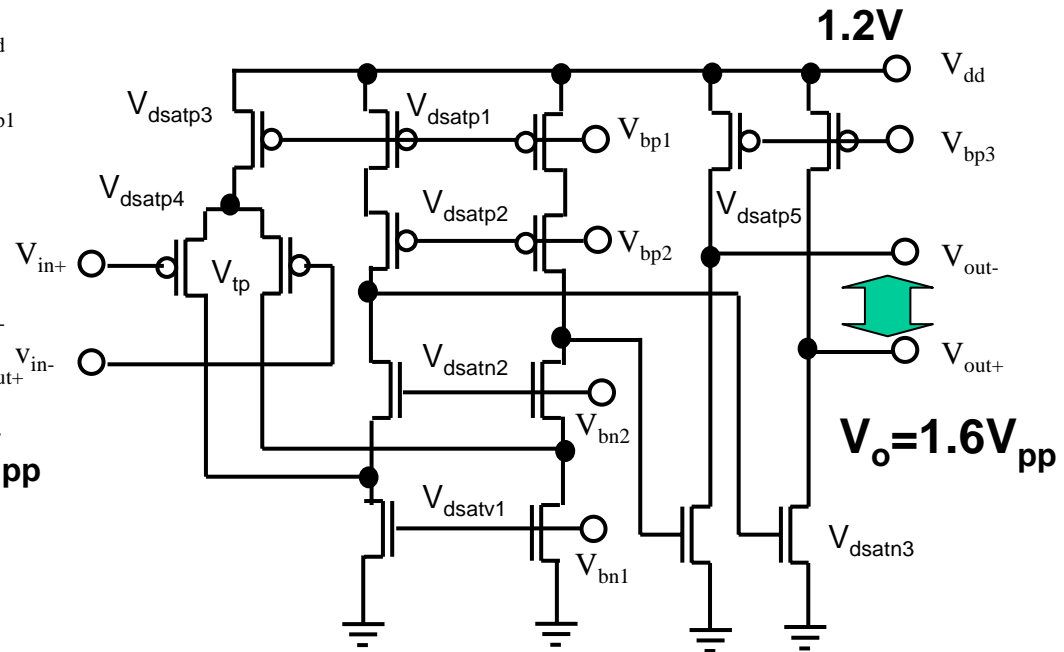
90nmCMOSを用いた
超低電圧・超高速OPアンプ
とパイプライン型ADCの設計

超低電圧アナログ回路

低電圧アナログ回路もできないことはない。



DC gain=70dB
GBW=10GHz
90nmCMOS



DC gain=90dB
GBW=5GHz
90nmCMOS

超低電圧OPアンプの設計方針

- 低分解能・超高速動作

- 低分解能のため振幅が低くても容量は小さくできる
- 超高速動作のために1段のカスコード回路を用いる
- 利得の低下にはスーパーカスコードを用いて対処する
- 入出力信号範囲の整合のためフォールデイドカスコードを用いる

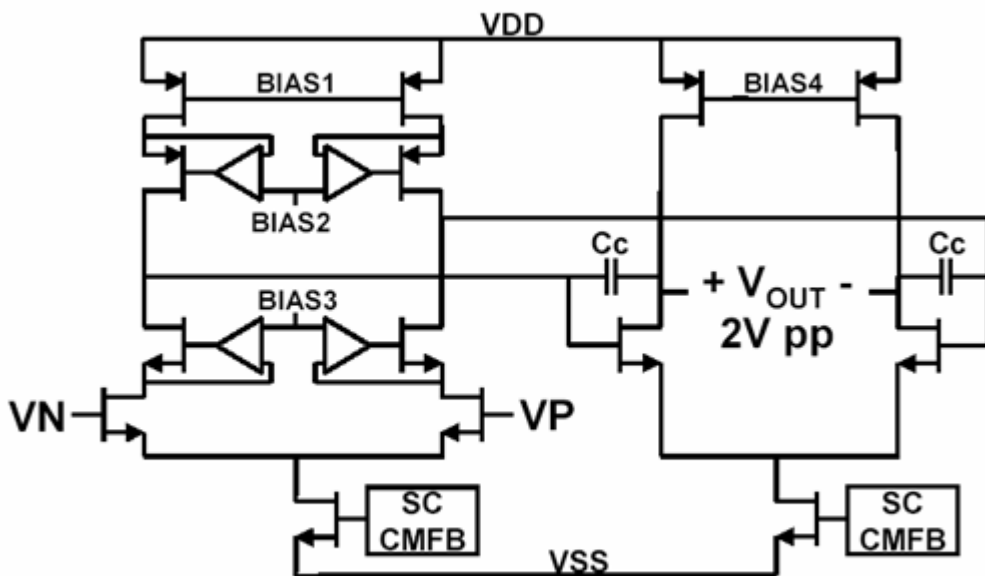
- 中分解能・高速動作

- 中分解能のため振幅を大きくとりできるだけ容量を小さくできる
- 振幅を大きく取り利得を大きくするために2段増幅にする
- 利得の低下にはスーパーカスコードを用いて対処する
- 入出力信号範囲の整合のためフォールデイドカスコードを用いる
- 2段増幅ではGBRをあまり上げれないので変換周波数が満足するか確認する

カスケード型オペアンプ

1段で100dBを超える利得のCMOSオペアンプは可能で、1段の方が利得帯域幅積を上げやすい。しかしながら、電源電圧低下とともに出力スイングが取れなくなる。そこで、初段をスーパーカスケードを用いた2段のカスケード型オペアンプが用いられることもある。この方が出力スイングを大きくできる。ただし位相補償が難しくなり帯域がやや低下する。

1st Residue Stage Amplifier

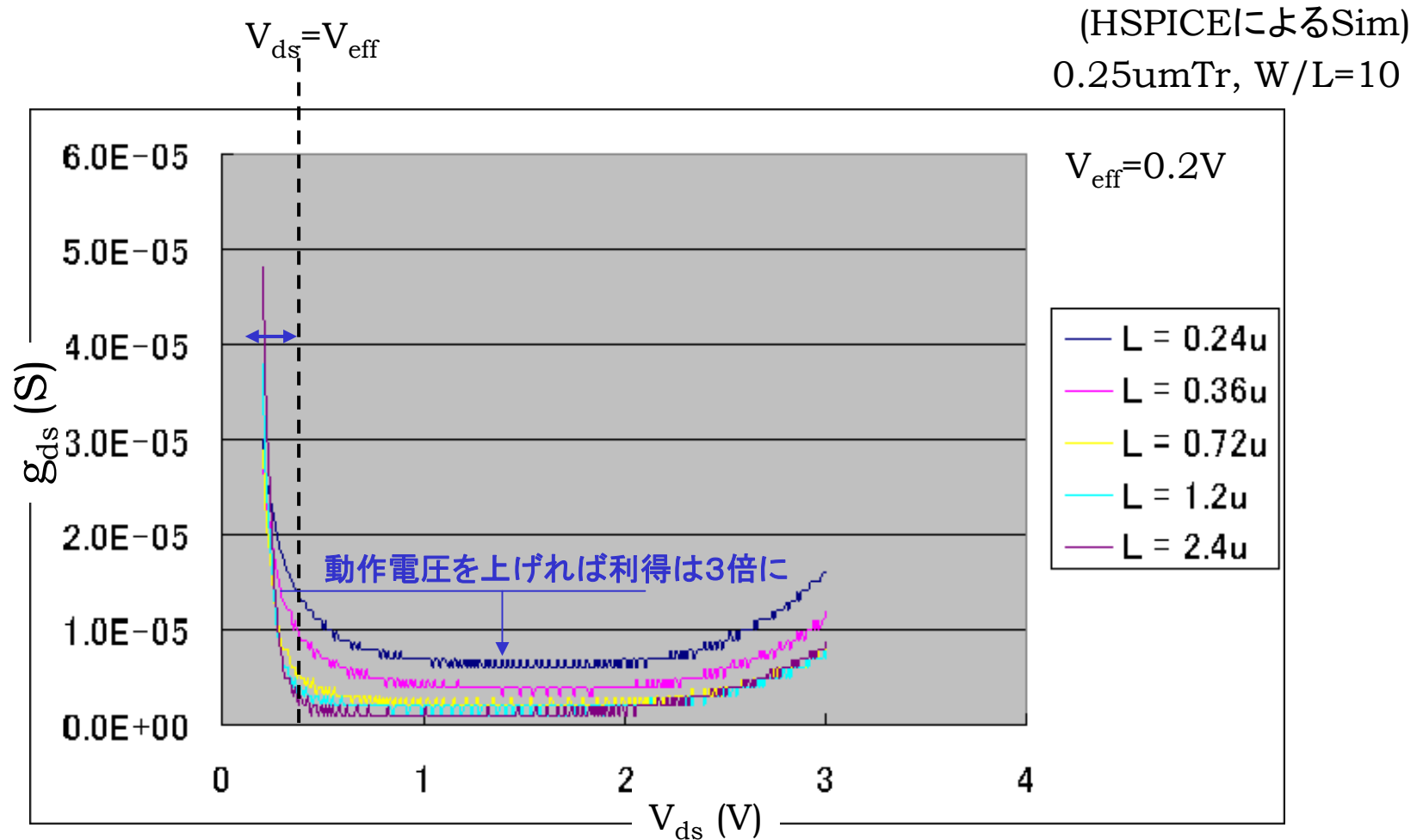


$A_{OL} > 100 \text{ dB}$ $GBW = 2 \text{ GHz}$ $\text{Power} = 56 \text{ mW}$

D. Kelly, ISSCC 2001. pp. 134

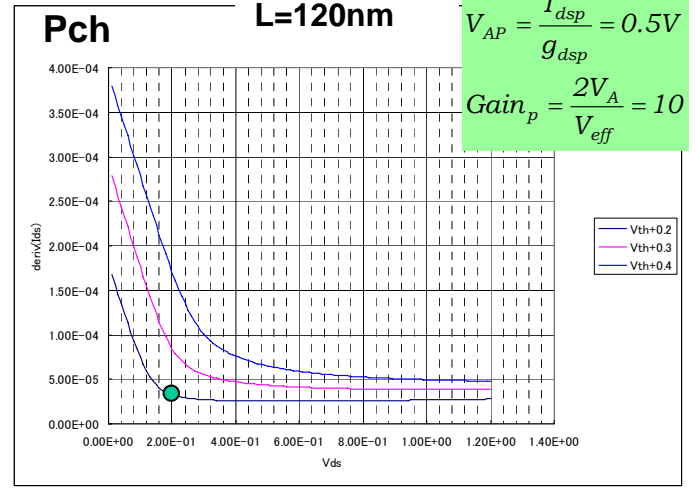
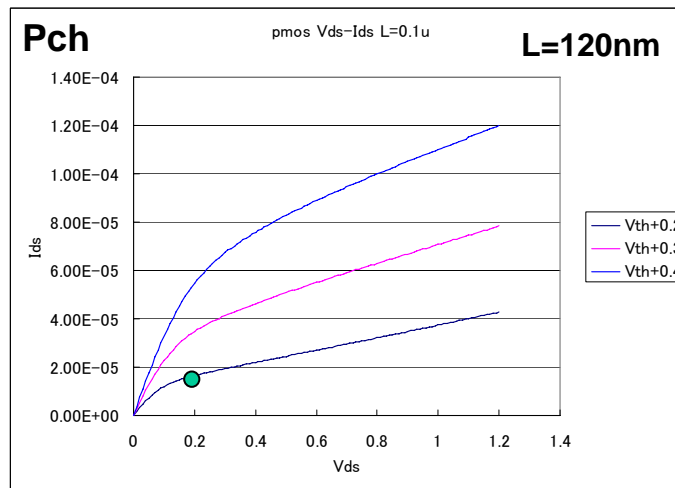
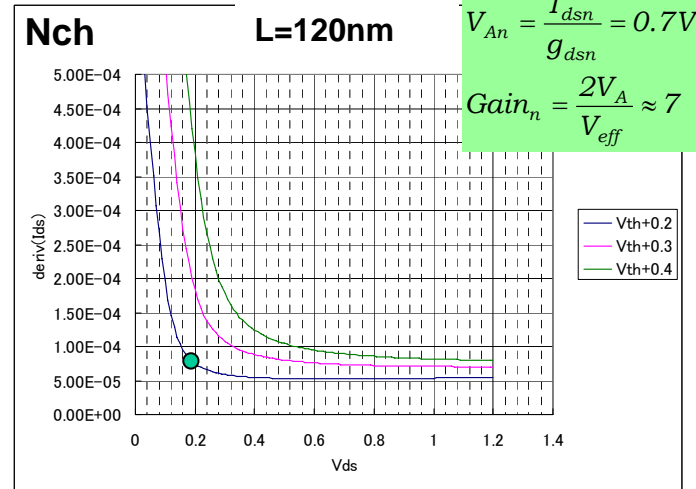
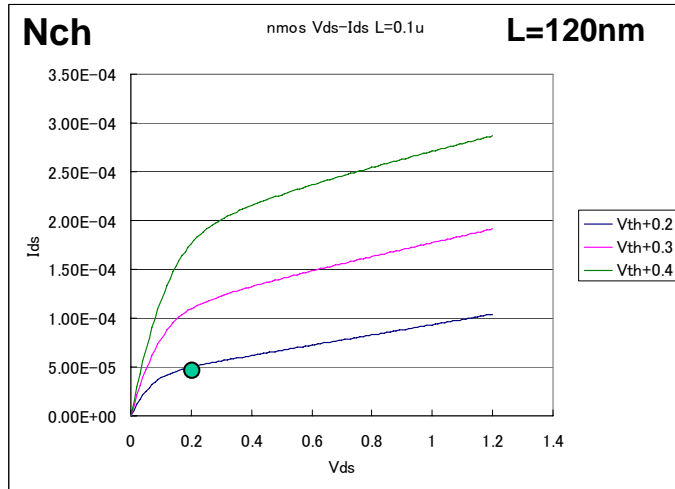
g_{ds} の特性

$V_{ds} > V_{eff}$ になっても g_{ds} は大きく変化する。L が短いほど V_{ds} が高くなっても g_{ds} は低下しにくい



90nm MOS の特性

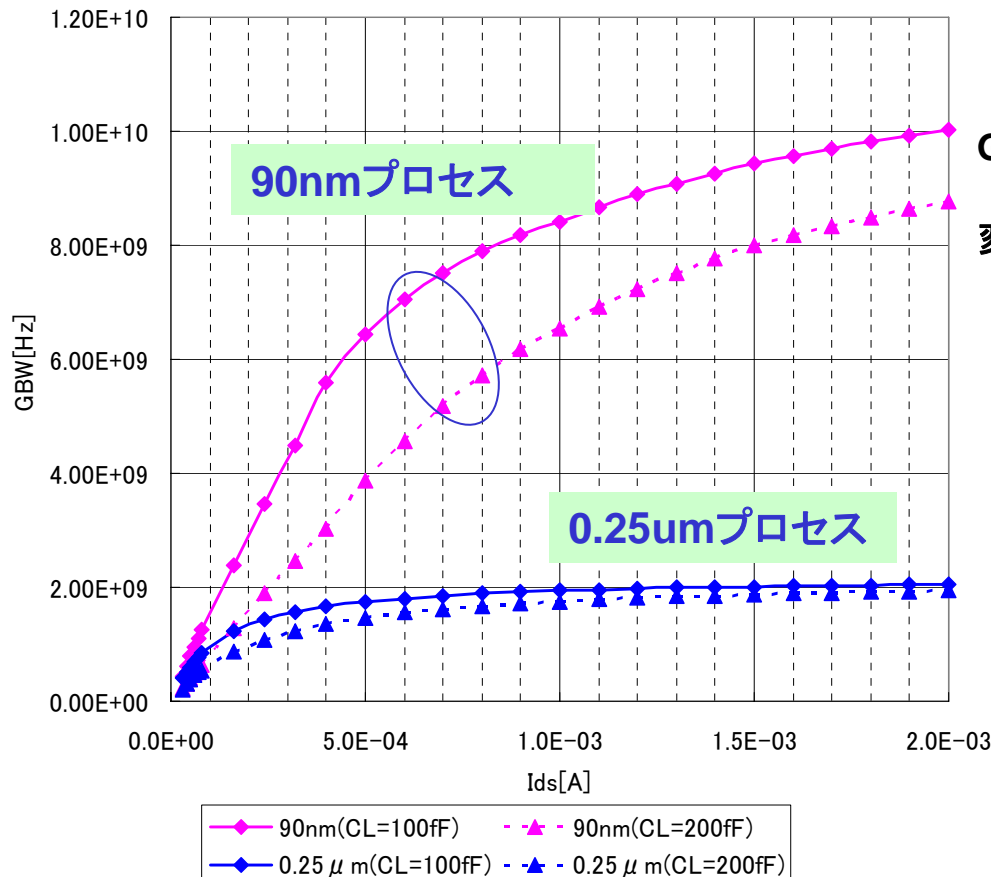
90nmデバイスはドレイン抵抗が極めて低いため10倍以下の利得しか取れない



90nm技術の効果

低電圧動作問題を解決すれば90nmを用いて、
8bitで1GHz, 10bitで800MHz程度のADCが実現可能かもしれない。
0.25 μ m技術では200MHzの変換速度が限界である。

Ids-GBW特性



パイプライン型ADCの変換周波数は
GBWの約1/10

GBW: 10GHz

変換周波数: 1GHz

GBW: 2GHz

変換周波数: 200MHz

動作電流と変換速度に対するデザインルール依存の推定

デザインルールにより取りうる信号振幅が変わるので、必要なSNRを確保するための帰還容量が変わる。また、ある電流における寄生容量が変わるのでこの効果を入れて回路の応答を推定する。

$$GBW_{close} = \frac{g_m}{2\pi C_L} \cdot \beta = \frac{g_m}{2\pi \{2C_o + C_{in} + C_{op}\}}$$

$$C_L = C_{op} + C_{oL} + \frac{C_f(C_s + C_{in})}{C_f + C_s + C_{in}}$$

$$\beta = \frac{C_f}{C_f + C_s + C_{in}}$$

$V_{eff} = 0.175V$ とすると

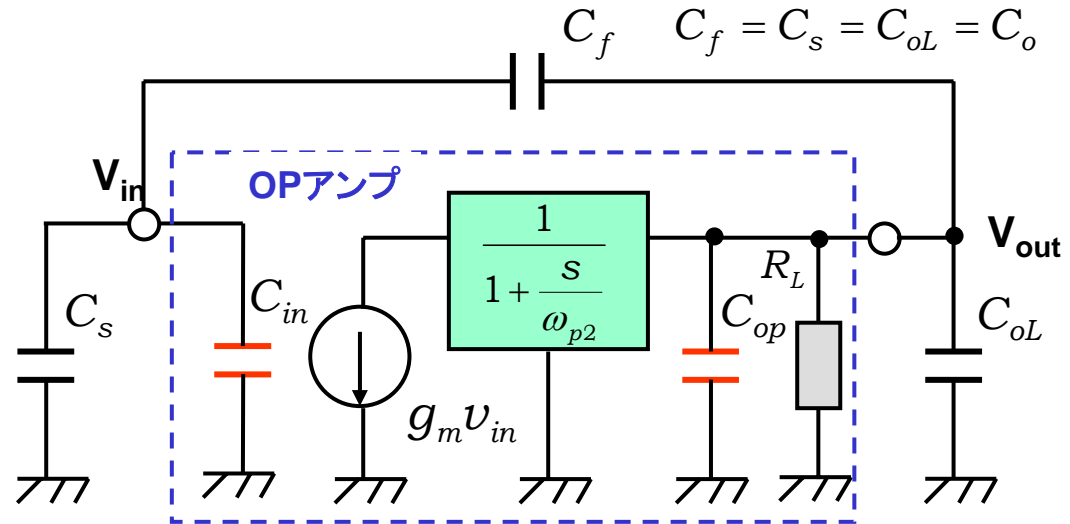
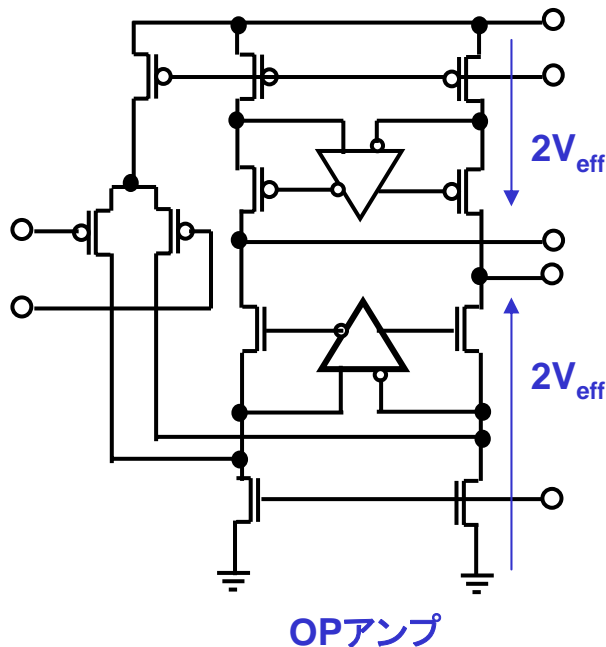
$$C_o(fF) = 1.23 \times 10^{-4} \left(\frac{2^N}{V_{dd} - 4V_{eff}} \right)^2$$

N:分解能

$$g_m = \frac{2I_{ds}}{V_{eff}} \Rightarrow g_m(mS) = 11.4 \times I_{ds}(mA)$$

90nm : $C_{in}(fF) = 52 \times I_{ds}(mA), C_{op}(fF) = 95 \times I_{ds}(mA)$

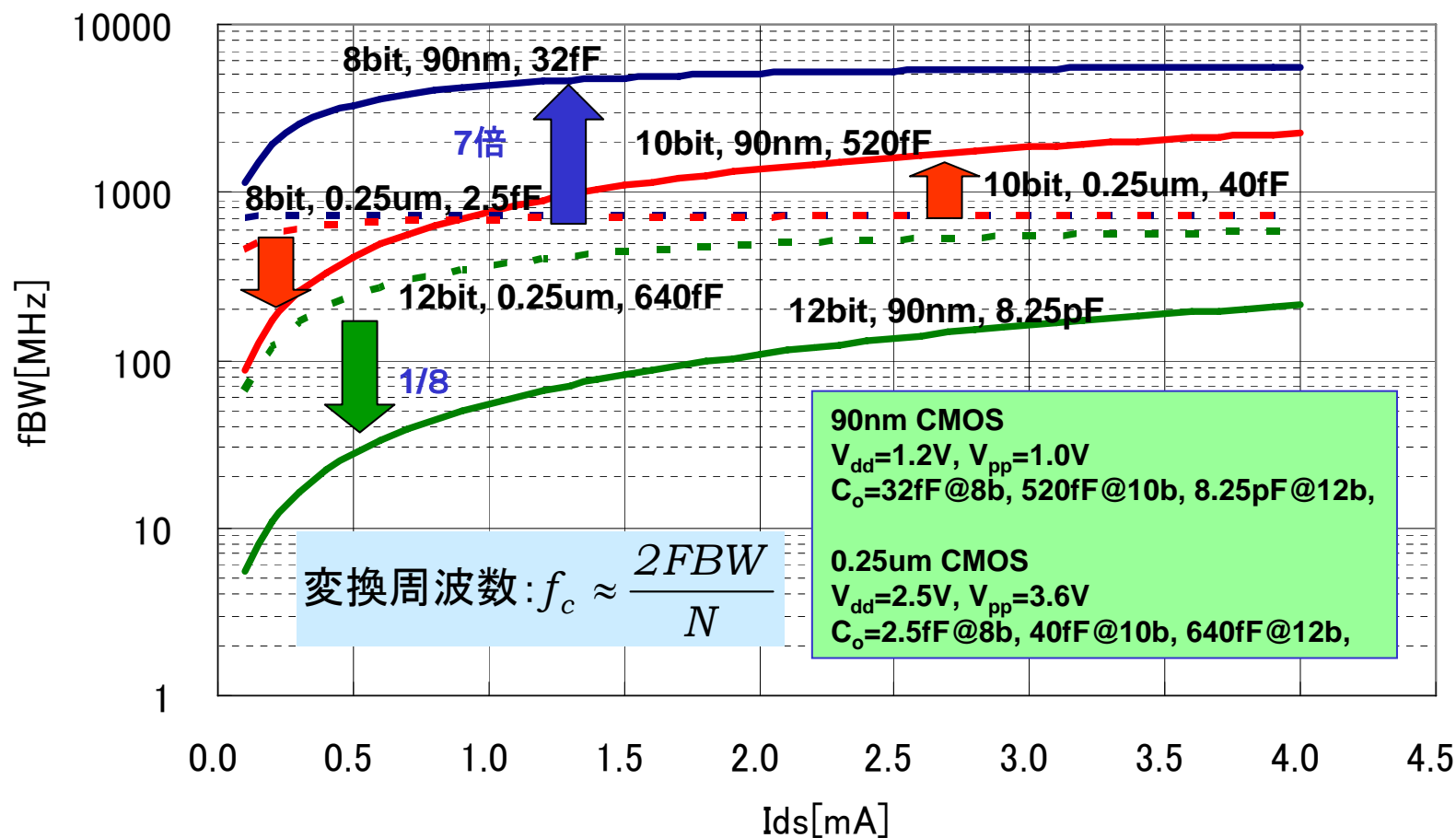
0.25um : $C_{in}(fF) = 470 \times I_{ds}(mA), C_{op}(fF) = 780 \times I_{ds}(mA)$



パイプラインADCの性能とデザインルール

低分解能は高速化が可能な微細デバイスが有利、高分解能は電源電圧が高く取れるデバイスが有利

デザインルールが緩いと取りうる信号振幅は大きくなり、帰還容量は減少するが、寄生容量が大きくなる
 デザインルールが微細だと寄生容量は減少するが、取りうる信号振幅が減少し、帰還容量が増加する



低電圧動作と回路性能

回路特性・電源電圧と消費電力

SNRで制約される場合の消費電力はSNRとGB積に比例し電源電圧に反比例する
(ただし、回路の寄生容量効果は入れていない)

$$S_p = \frac{V_{pp}^2}{2}$$

$$GBW = \frac{g_m}{2\pi C} = \frac{I_{sink}}{2\pi C V_{eff}}$$

$$N_p = 2\gamma \frac{kT}{C}$$

$$I_{sink} = \frac{8\gamma\pi kT \cdot V_{eff} \cdot SNR_{diff} \cdot GBW}{V_{pp}^2}$$

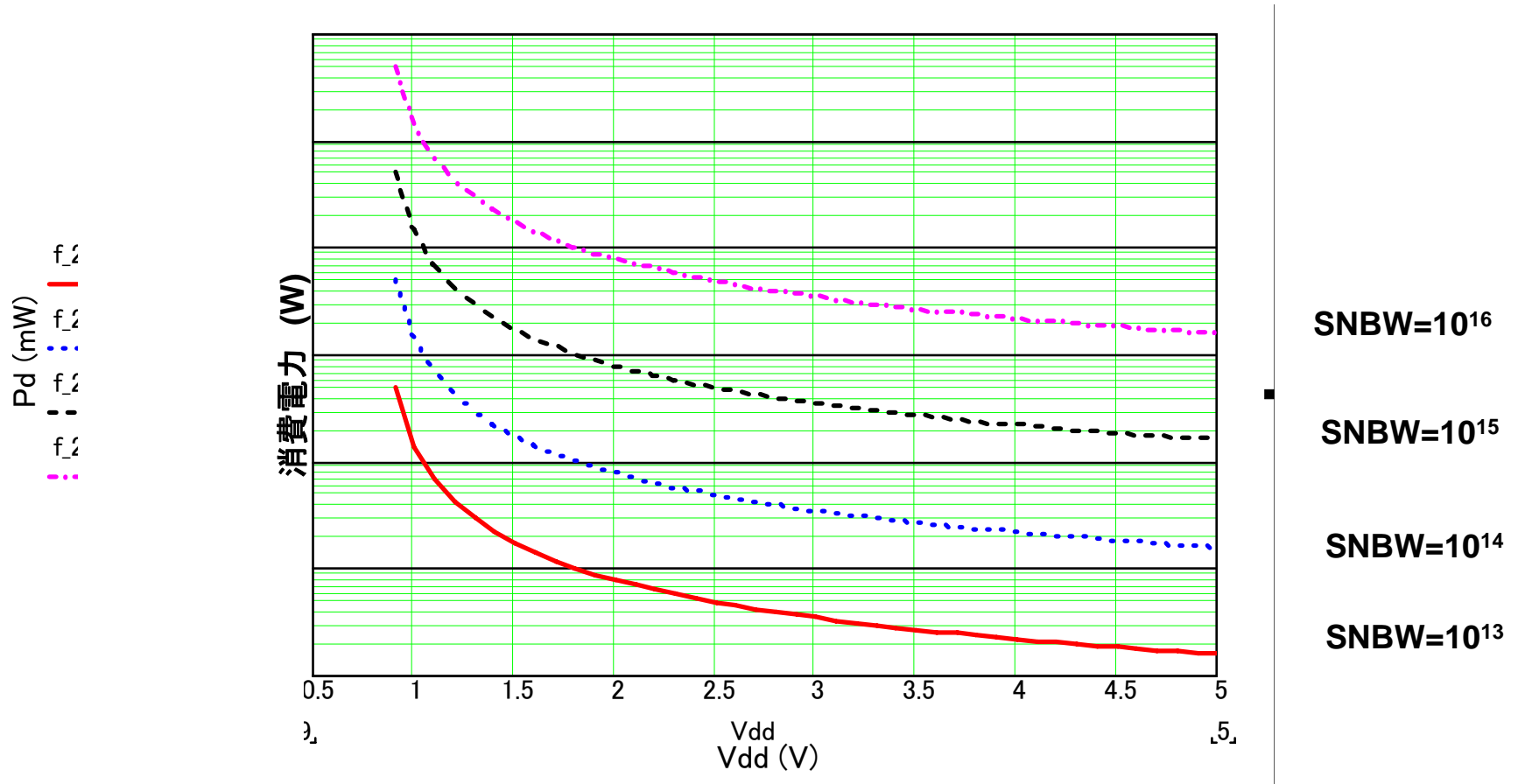
$$SNR_{diff} = \frac{C V_{pp}^2}{4\gamma kT}$$

$$P_d \approx \eta \cdot 8\gamma\pi kT \cdot V_{eff} \cdot \frac{SNR_{diff} \cdot GBW}{V_{dd}}$$

$$C = \frac{4\gamma kT \cdot SNR_{diff}}{V_{pp}^2}$$

回路特性・電源電圧と消費電力

高SNR, 広帯域では電源電圧が下がると容量が増加し、消費電力が急増する



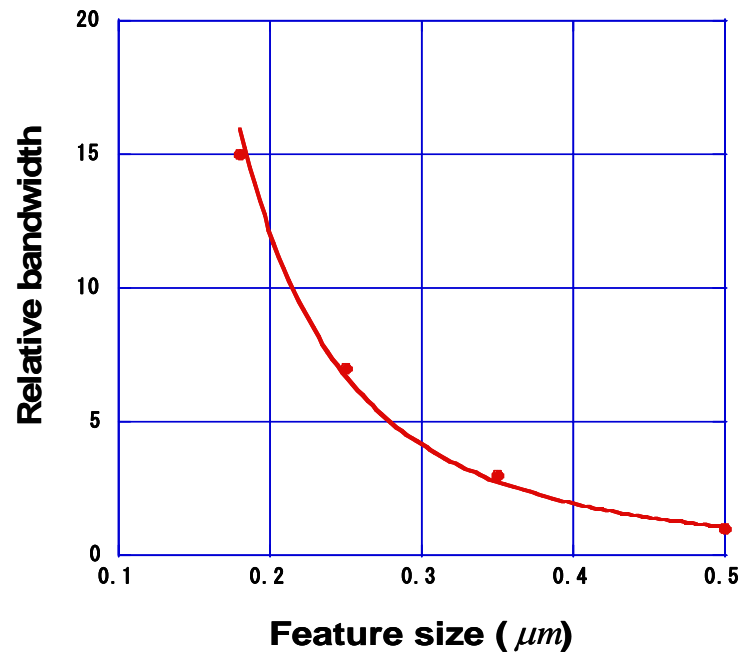
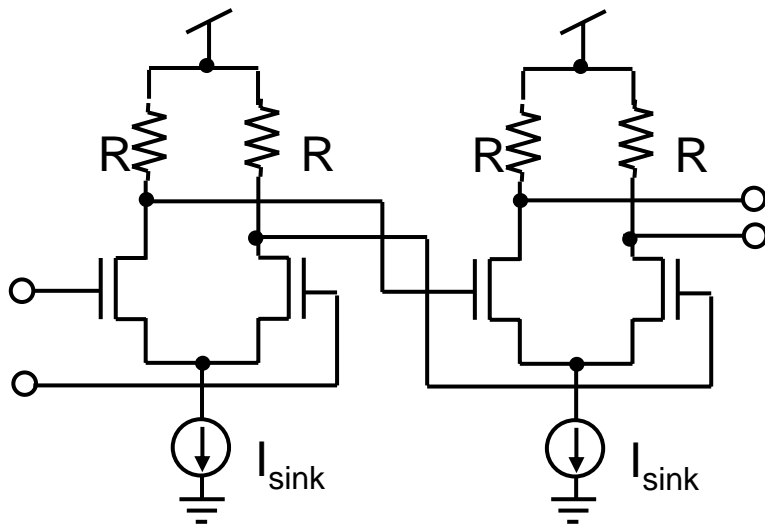
アナログ回路のデザインルールと信号帯域

SNRを考慮しない場合、比較器の帯域はデザインルールの2乗に反比例する。
微細化は有効である。

$$GBW = \frac{g_m}{2\pi \left(WC_j + \frac{2}{3} C_{ox} LW \right)} = \frac{I_{sink}}{2\pi \left(WC_j + \frac{2}{3} C_{ox} LW \right) V_{eff}}$$

$$GBW = \frac{\mu V_{eff}}{2\pi L^2 \left(\frac{2}{3} + \frac{C_j}{k} \right)}$$

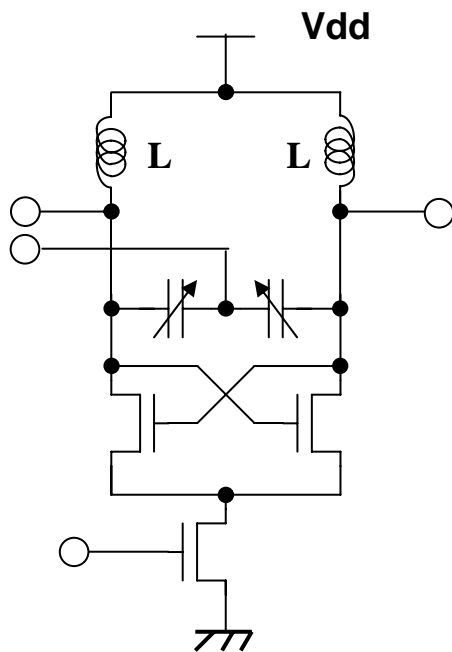
$$I_{sink} = \frac{\mu C_{ox}}{2} \frac{W}{L} V_{eff}^2 \quad C_{ox} = \frac{\kappa}{L}$$



発振器

発振器のノイズフィギュアは低電圧化により増大するが、消費電力で規格化したFoMはあまり電圧依存を持たない

低電圧化によりNFは上がるが、FoMは維持可能



$$L(f_m) = \frac{1}{2} \cdot \frac{1}{Q^2} \cdot \left(\frac{f_o}{f_m}\right)^2 \cdot \frac{FkT}{P_{RF}} = \frac{1}{2} \cdot \frac{1}{Q^2} \cdot \left(\frac{f_o}{f_m}\right)^2 \cdot \frac{FkT}{\left(\frac{V_o^2}{2r_o}\right)}$$

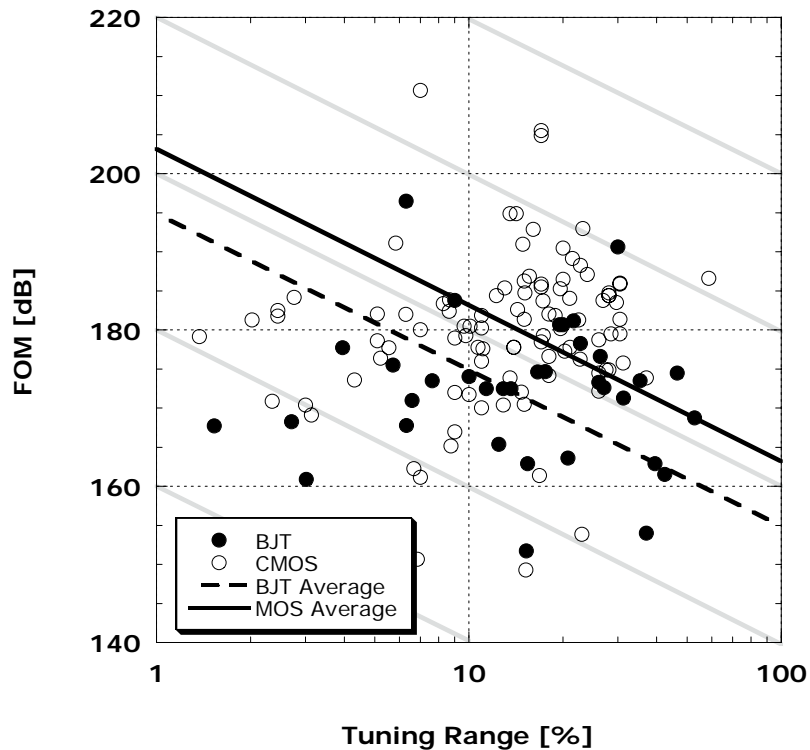
$$L_{min}(f_m) = kT \frac{\gamma}{V_{dd}} \frac{\omega_o L}{2Q} \left(\frac{1}{V_{dd}} + \frac{2}{V_{eff}}\right) \left(\frac{f_o}{f_m}\right)^2$$

$$FoM = \left(\frac{f_o}{f_m}\right)^2 \frac{1}{L(f_m)V_{dd}I}$$

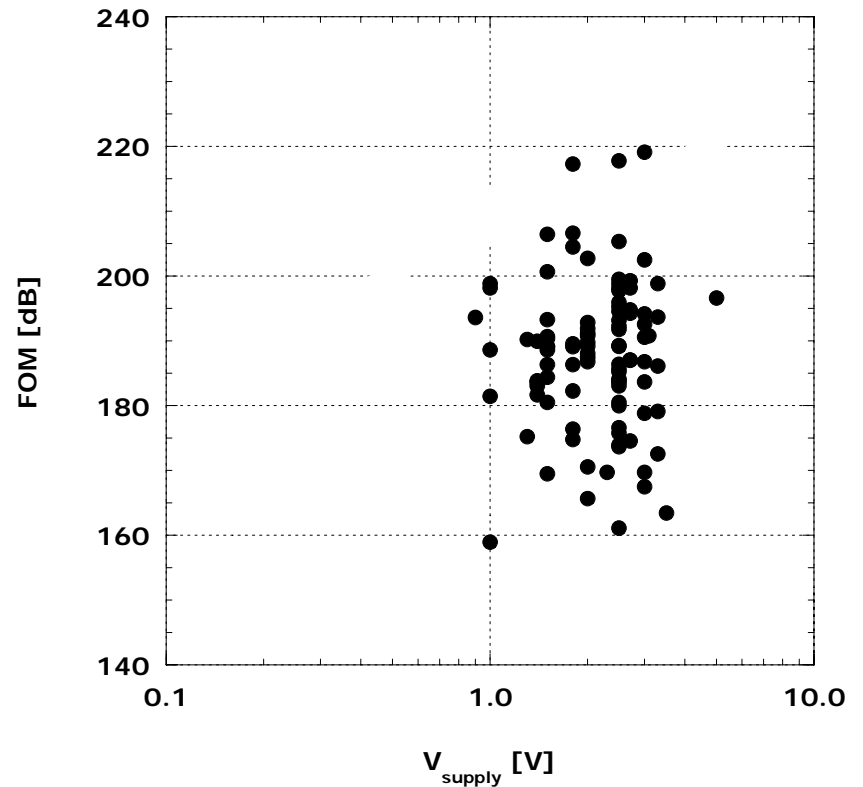
$$FoM \approx \frac{Q^2}{\gamma\pi \cdot kT \cdot F} \quad \text{or} \quad \frac{4Q^2}{\gamma\pi \cdot kT \cdot \left(1 + \frac{V_{dd}}{V_{eff}}\right)}$$

CMOS VCOのFoM

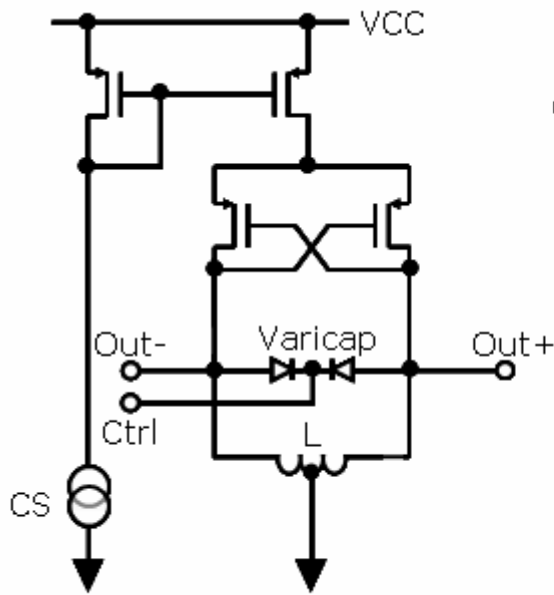
MOSがバイポーラよりも良い特性を示す



低電圧化で若干悪くなっているが
電圧依存性はあまり強くない

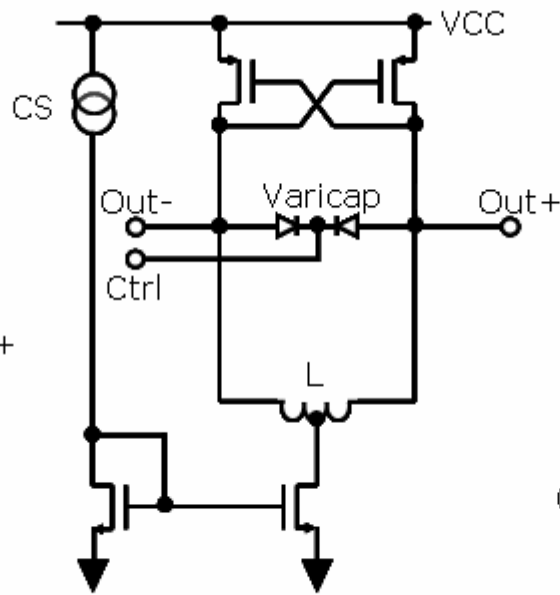


低電圧VCO



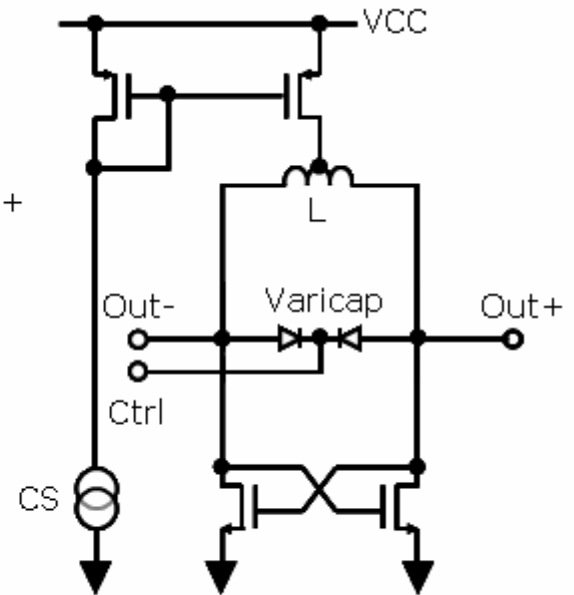
(a) PMOS1

バラクタの制御電圧が低すぎる



(b) PMOS2

これを採用

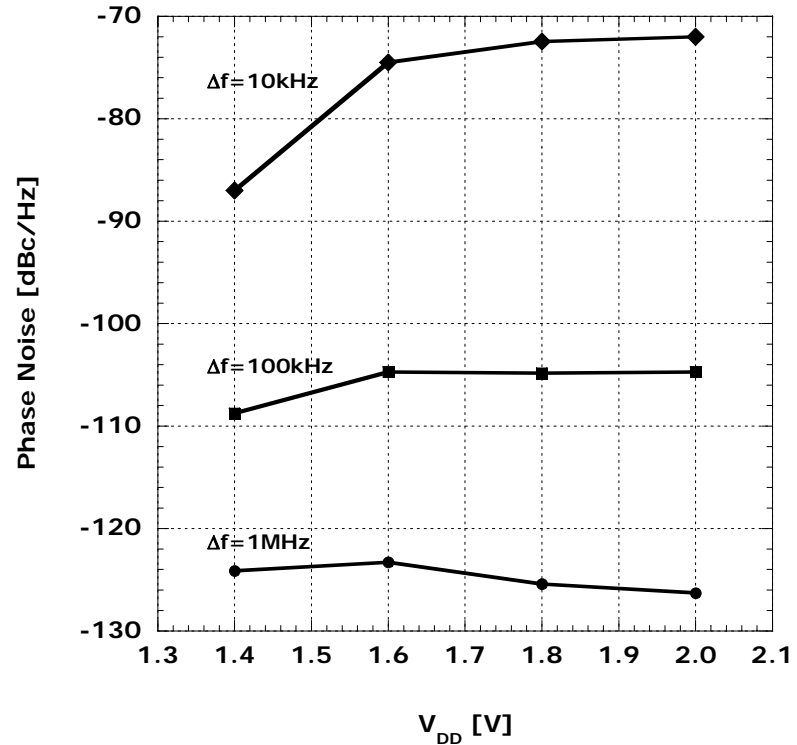
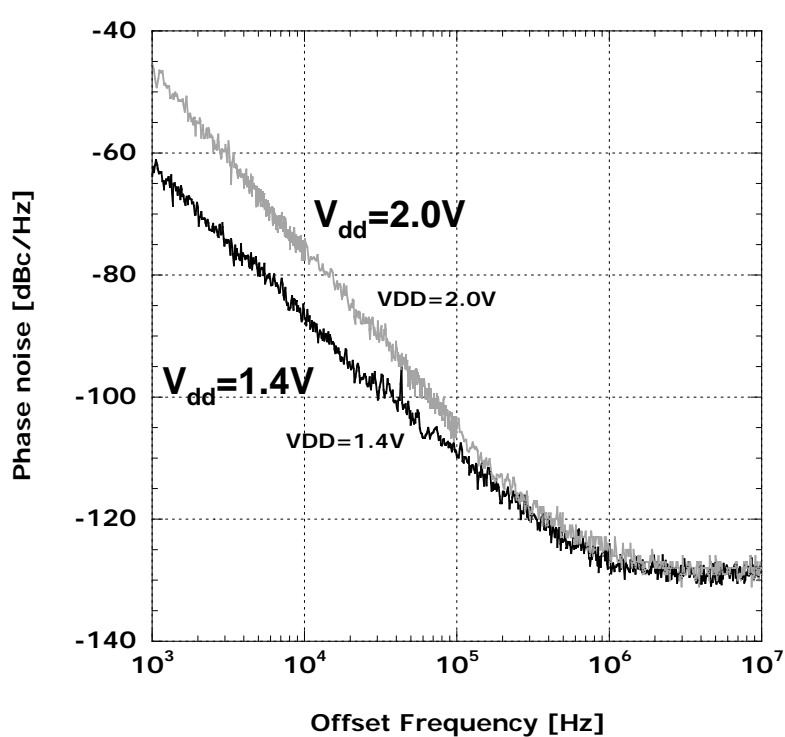


(c) NMOS

1/fノイズが心配

低電圧VCOの特性

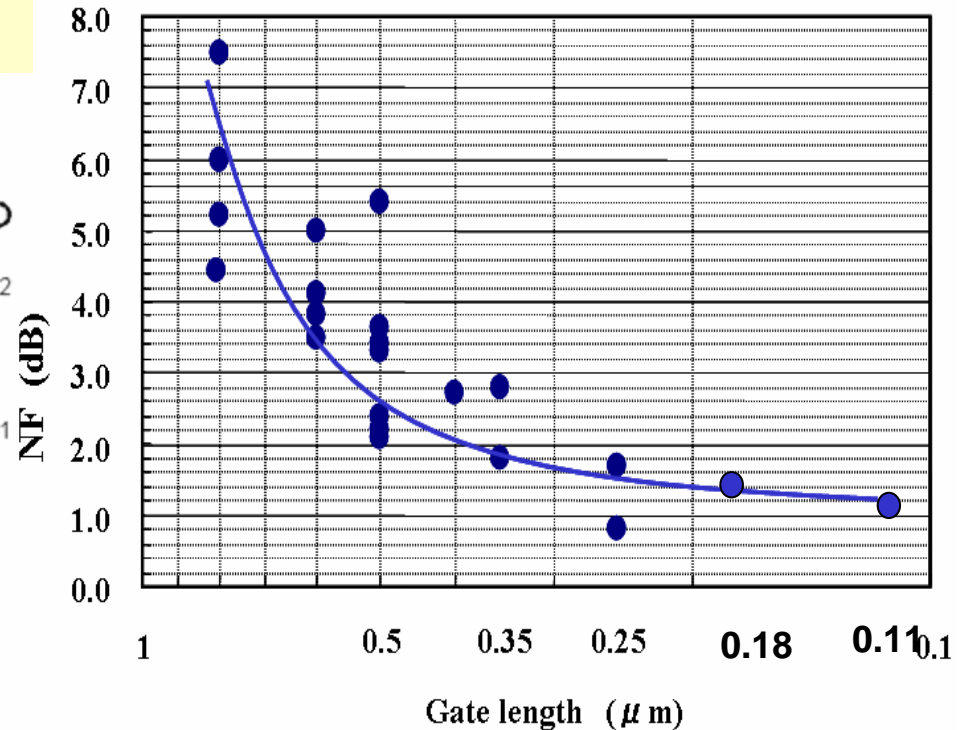
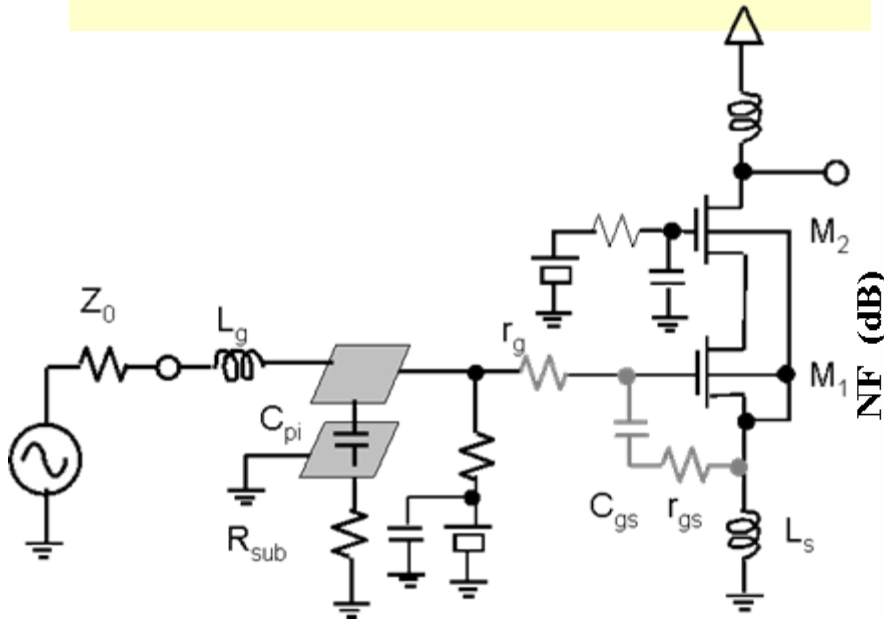
小信号解析では電源電圧が高いほうがノイズ特性が良くなるはずであるが、大振幅では回路の非線形性が高くなるので周波数変換作用によりノイズが増大することもある。この回路は熱雑音は2Vの方が小さいが、低周波雑音は1.4Vの方が小さくなっている。



MOS LNA

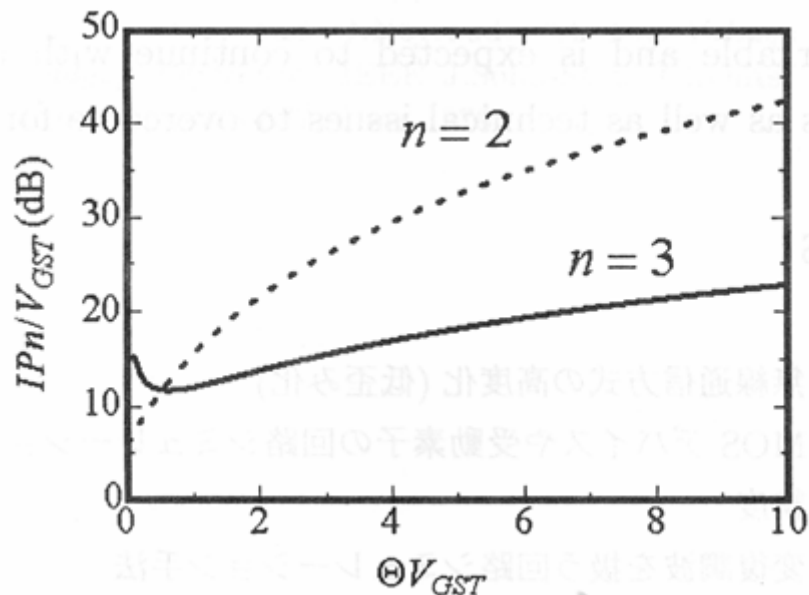
MOS LNAのノイズはゲート抵抗をゲート分割などで十分に低減し、十分な g_m を与えたら f_T が向上するほど少なくなる。したがって微細化に伴い、ノイズは減少している。

$$F \approx 1 + \frac{r_g}{r_s} + \frac{2}{3g_m r_s} + \left(\frac{\omega_0}{\omega_T} \right)^2 \frac{2g_m r_s}{3}$$



速度飽和効果と歪

- V_{eff} が大きいほど歪が小さい
- 微細化により歪は小さくなる (速度飽和効果)



$$I_{ds} = K \frac{W}{L} V_{eff}^2 \frac{1}{1 - \lambda V_{ds}} \frac{1}{1 + \Theta V_{eff}}$$

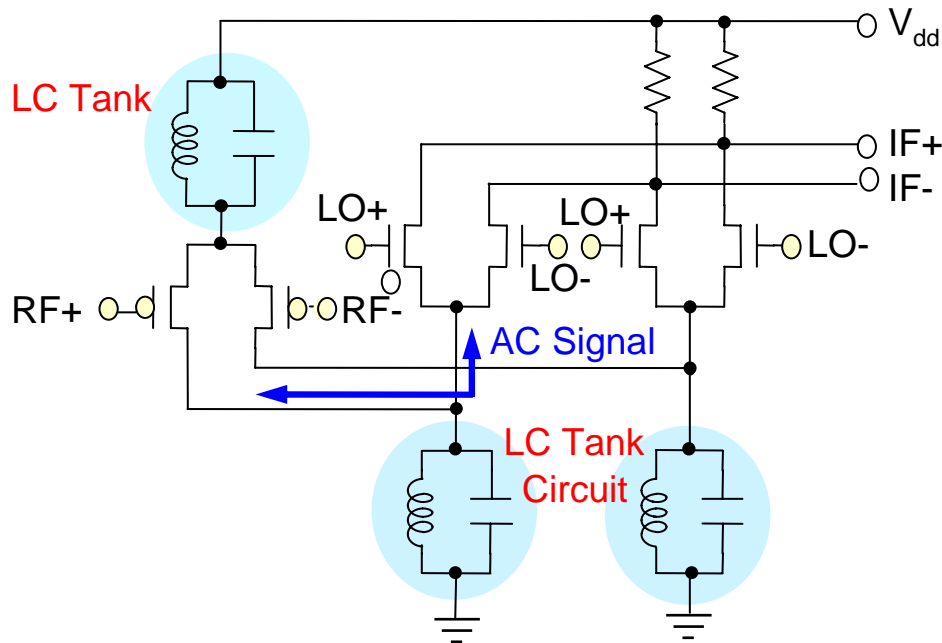
$$\Theta = \theta + \frac{\mu_0}{2v_{sat}L}$$

$$IIP_2 = V_{eff} (2 + \Theta V_{eff}) (1 + \Theta V_{eff})$$

$$IIP_3 = \sqrt{\frac{4V_{eff}}{3\Theta} (2 + \Theta V_{eff}) (1 + \Theta V_{eff})^2}$$

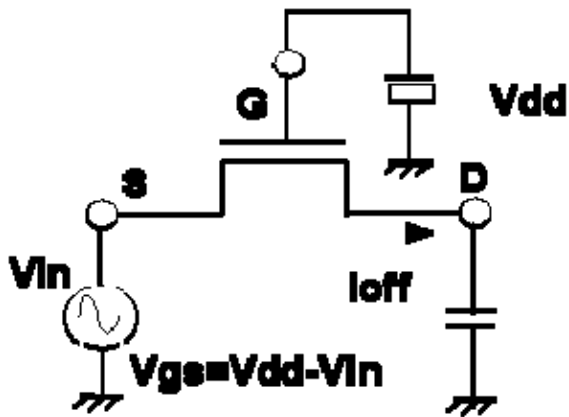
タンク回路の利用

共振周波数ではタンク回路のインピーダンスは極大値を取る。
DC的には保持電圧はゼロであるので高周波回路では負荷抵抗のほか
電流源の代用として用いることで低電圧化が可能である。



MOSスイッチの課題：低電圧動作

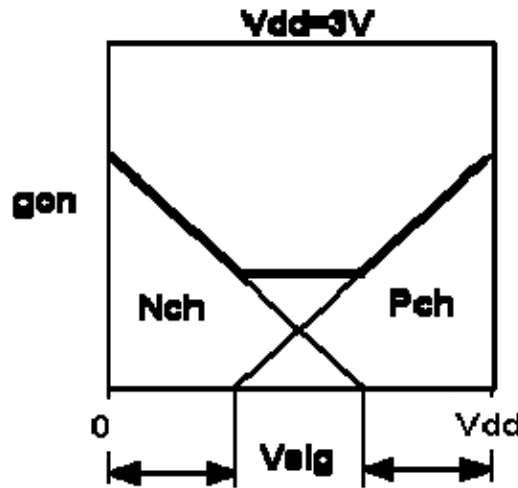
電源電圧が下がると、スイッチがONしない入力電圧範囲が発生する。
 対策： V_T を下げれば良いが、リーク電流の増加に注意



$$I_{off} = I_0 \cdot 10^{-\left(\frac{V_{gs}}{S}\right)}$$

S: 80mV

Off leak current

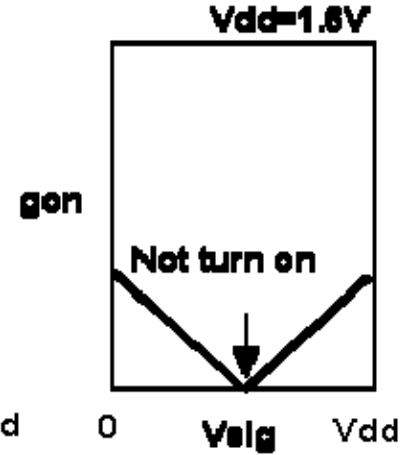


$$V_{Tn} = 0.25(V_{dd} - V_{off}) \quad V_{Tp} = 0.25V_{dd}$$

$$G_{on} = g_{dn} + g_{dp}$$

$$g_{d,n,p} = \beta_{n,p}(V_{gs,n,p} - V_{Tn,p})$$

$$V_{Tn} \approx V_{T0} - 0.25 V_{ds}$$



$$V_{ds} \geq \frac{2V}{0.75} \approx 1.6V$$

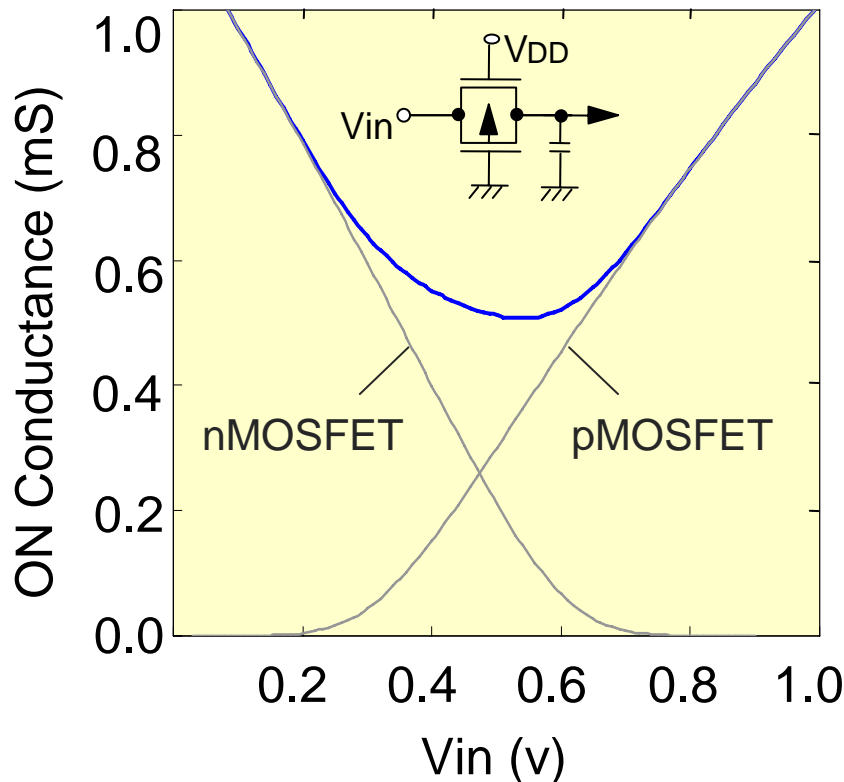
On conductance

低電圧アナログスイッチ特性

- ・低電圧ではオン抵抗が大きな入力電圧依存を持つ(4倍)
- ・SOIはオン抵抗の入力電圧依存性が小さい(2倍)

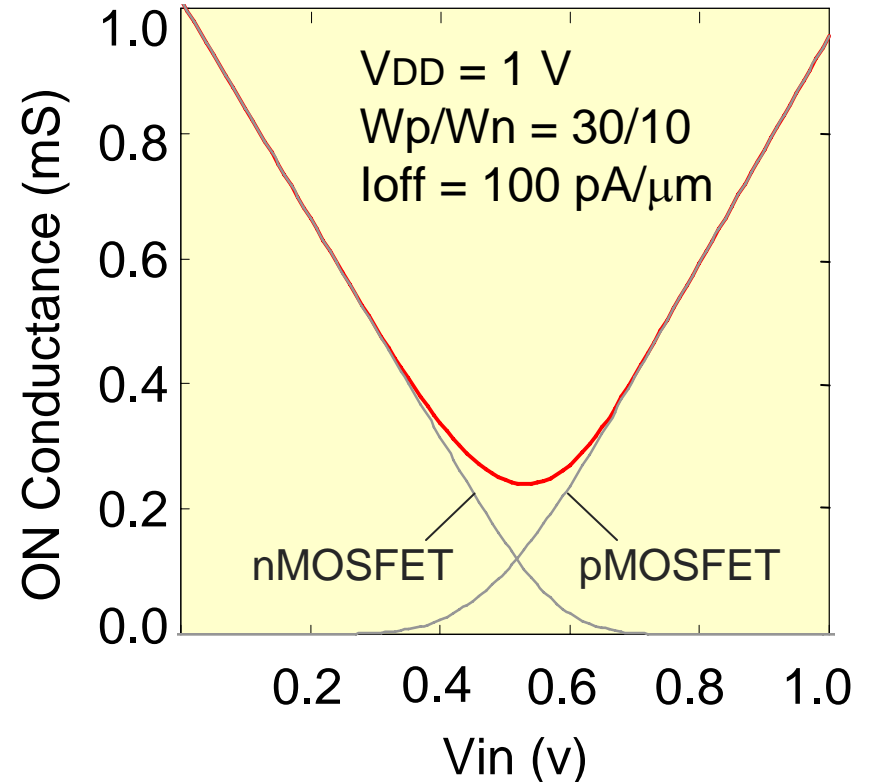
低い V_T と小さなバックゲート効果

FD-SOI



同一リーク電流になるように V_T を調整

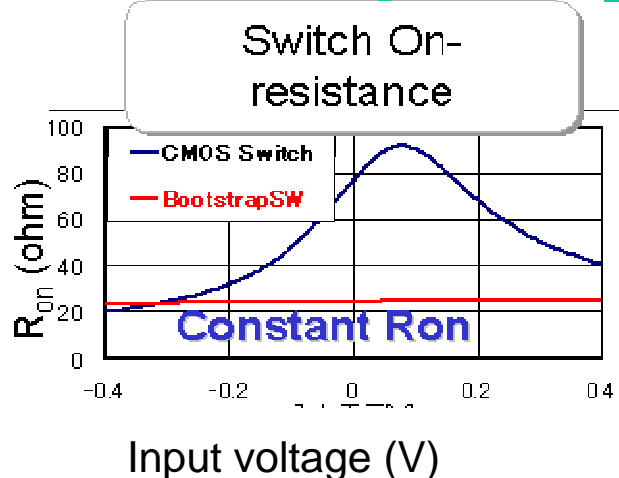
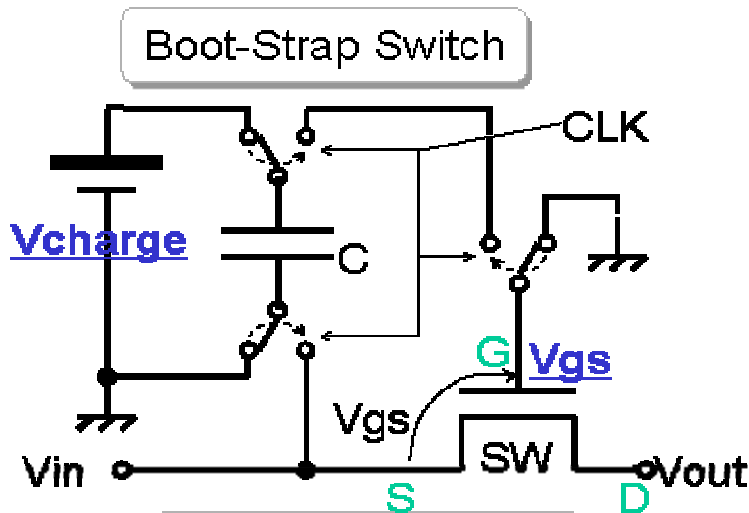
Bulk



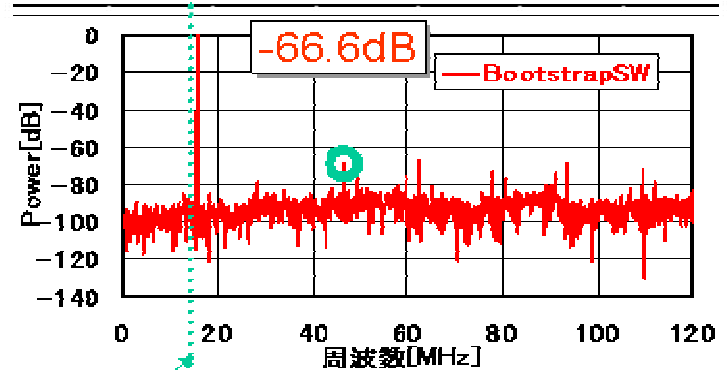
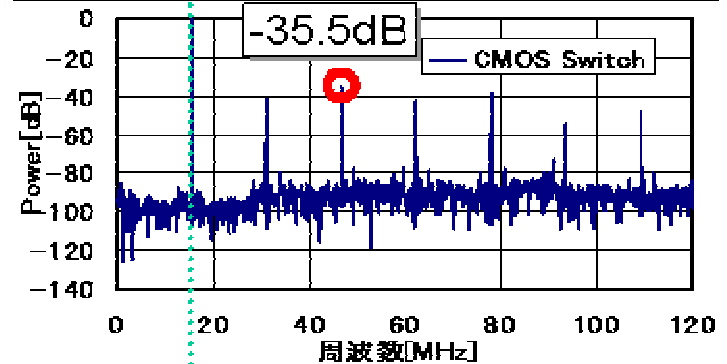
~ 0.35- μm CMOS /SOI Devices ~

ブートストラップ回路

オン抵抗の入力電圧依存性は歪を発生させる。これを抑制するためにゲート・ソース間に一定電圧を与えるブートストラップ回路が用いられている。



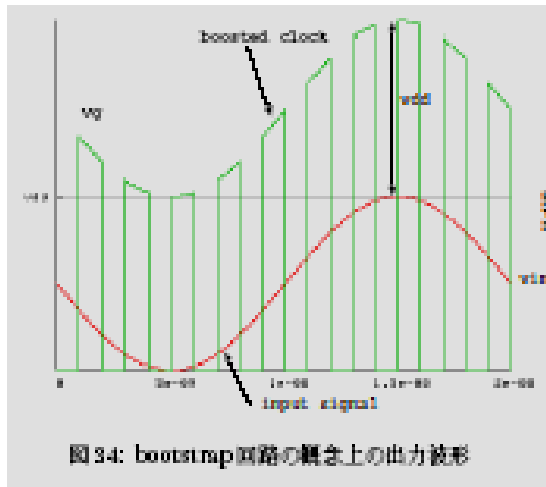
Switch and freq. characteristics.



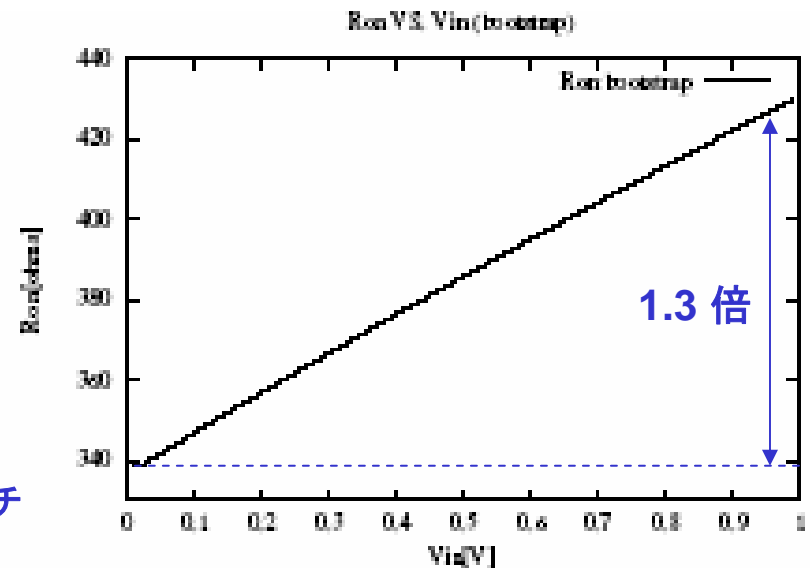
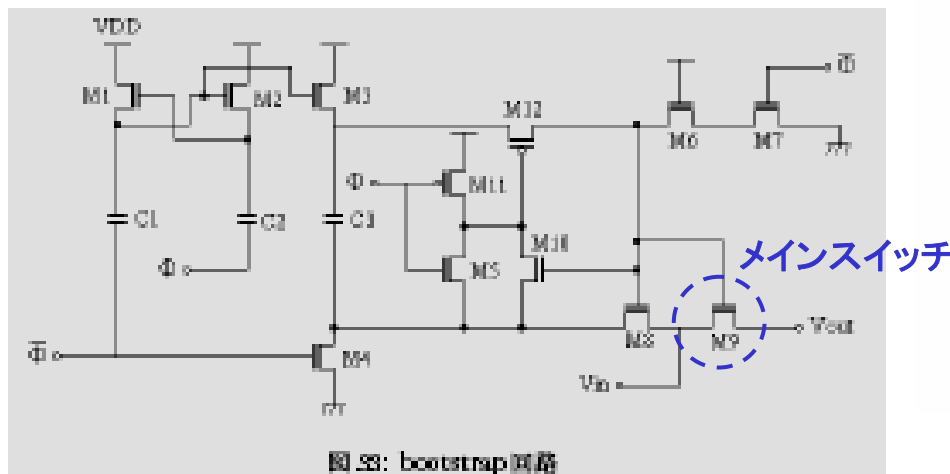
Vin : 15.6M

Small distortion

ブートストラップ回路



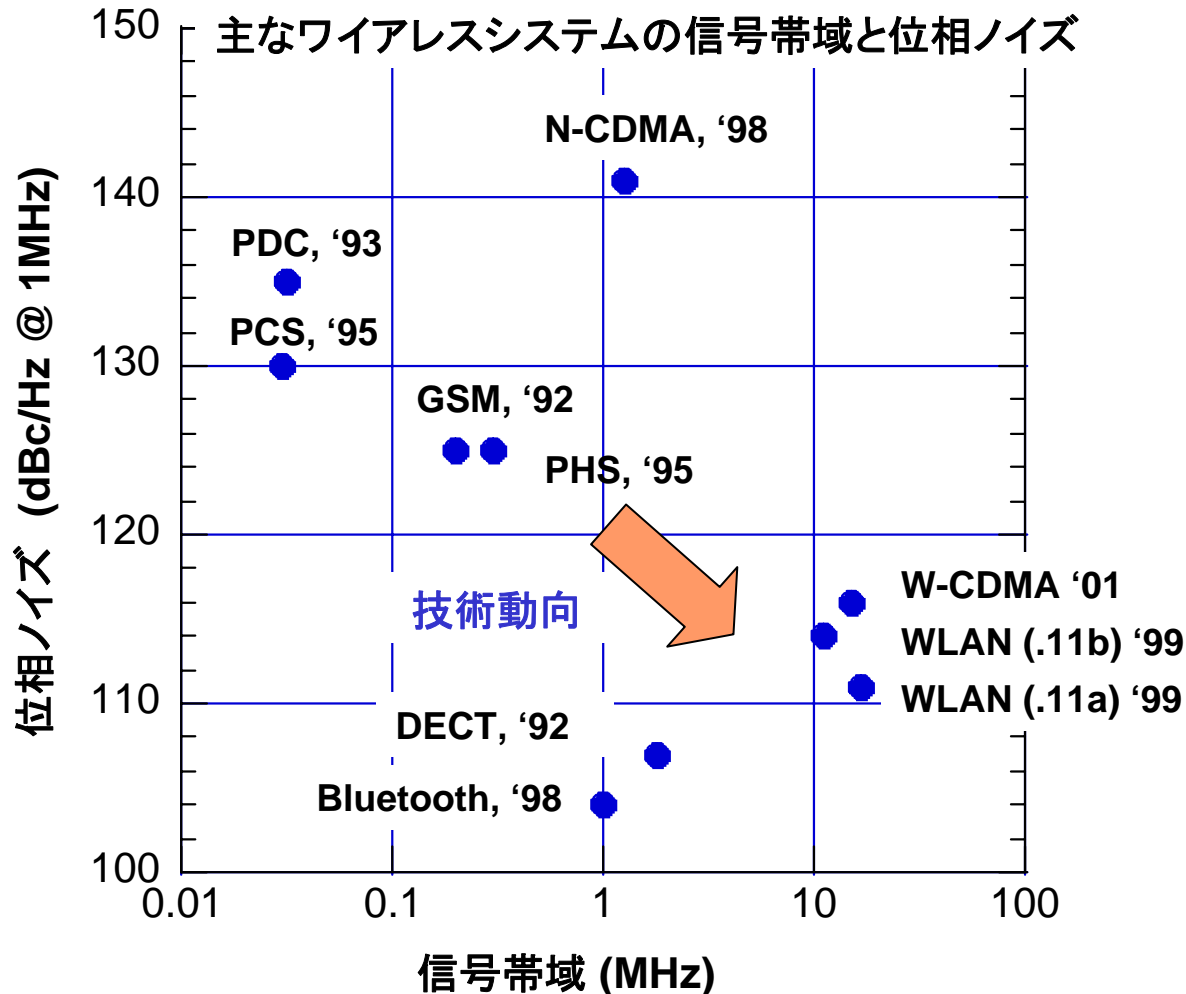
ソース・ゲート間に一定電圧をかけてオン抵抗を減らすとともに、
電圧依存性を小さくする回路が可能である。
ただし、バックゲート効果により完全には補償できない。
また、容量により面積が大きくなる。



今後の方向性

ワイアレスシステム仕様の動向

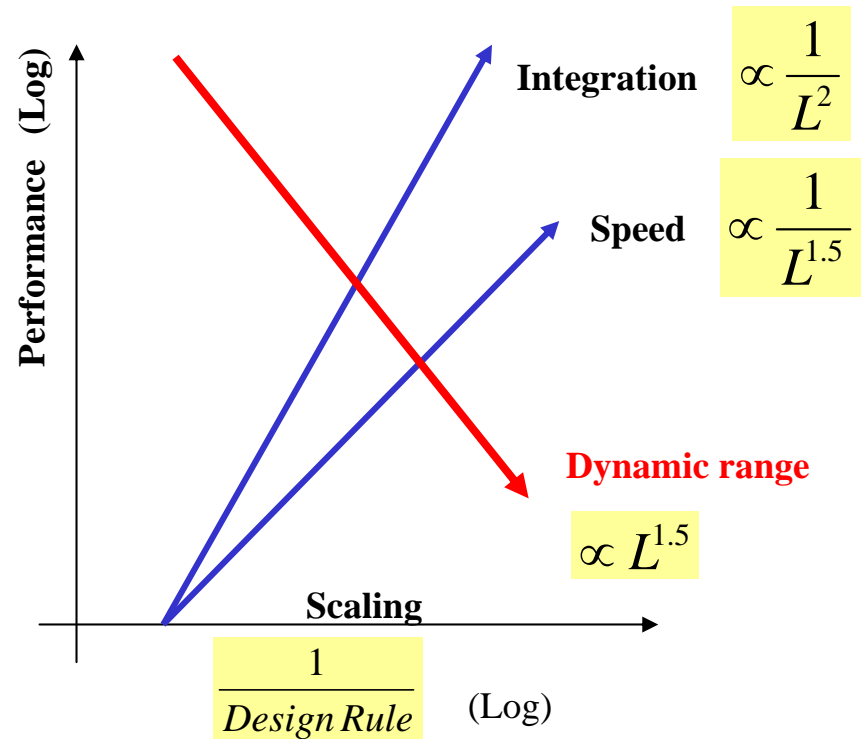
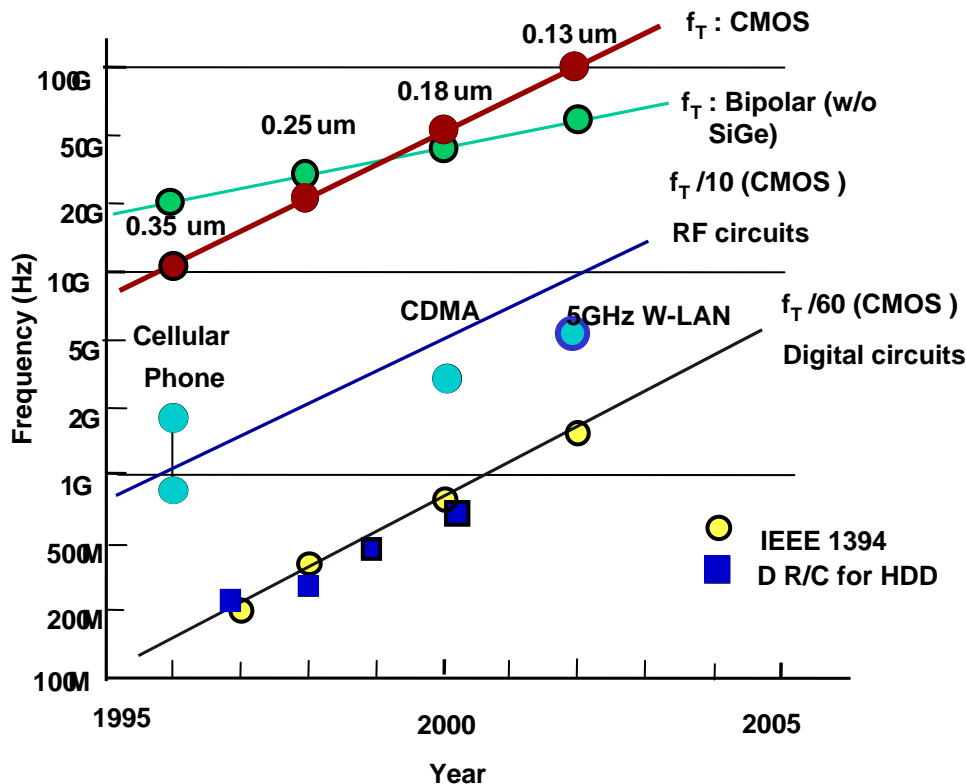
ワイアレスシステムは広帯域・低ダイナミックレンジの方向へ



CMOSの高周波化とアナログの困難さ

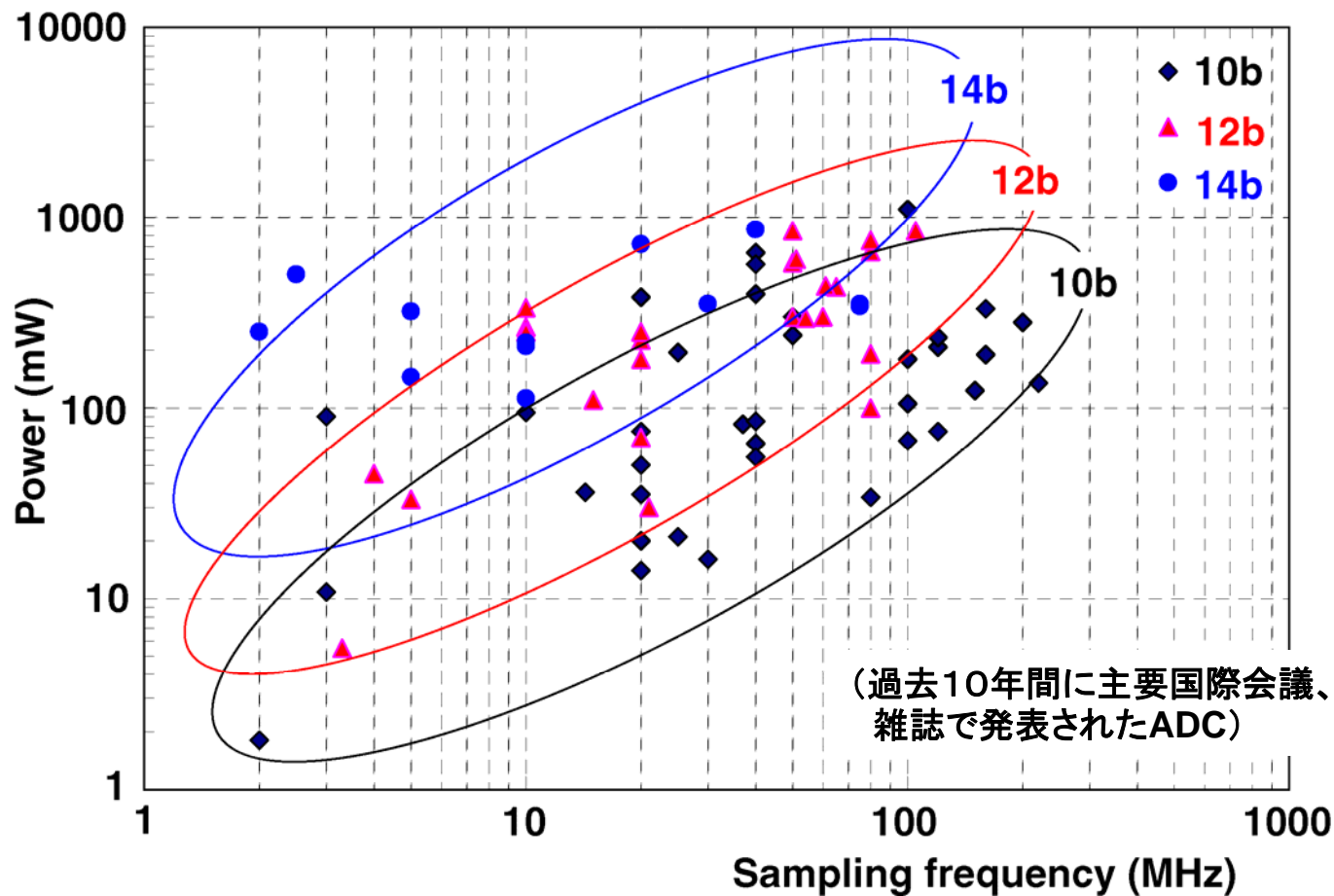
微細化によりMOSの高周波特性は向上し、高周波応用が可能になった。
 しかし、電源電圧の低下はダイナミックレンジの低下を招き、アナログ混載を難しくしている。

高速化は可能だが、高ダイナミックレンジ・高SNRは困難



高速・高分解能ADCの電力と周波数

高速化・高ダイナミックレンジになるほど大きな消費電力を必要とする



静岡大 川人先生より

今後の方向性

デバイス動向

- ・微細化
- ・高速・高周波・広帯域化
- ・低電圧化
- ・ばらつき・ノイズの増大
- ・面積コストアップ

回路動向

- ・高速・高周波・広帯域化
- ・高利得困難
- ・高ダイナミックレンジ困難
- ・高精度化困難

システム動向

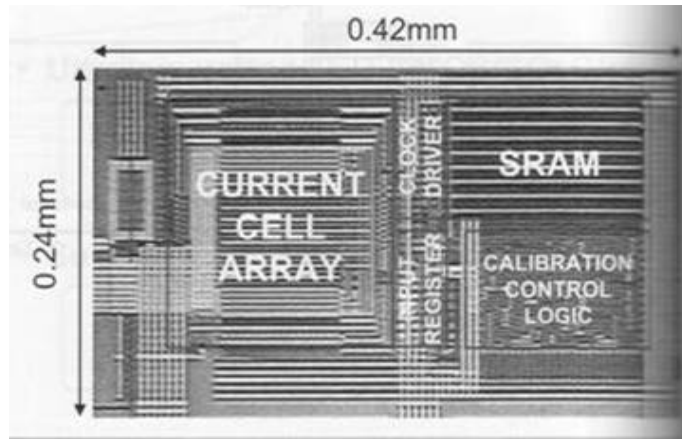
- ・高速・高周波・広帯域化
- ・低ダイナミックレンジ化
- ・マルチバンド・マルチスタンダード化
- ・SoC化
- ・低コスト化・省面積化
- ・短開発TAT
- ・テスト容易化
- ・ノイズ耐性強化

今後の方向性

- ・微細化による高速・高周波・広帯域化を活かす
- ・本質的に必要なアナログのみを残す
 - ・インダクタなどの受動部品の削減
- ・デジタル技術の徹底活用
 - ・デジタル制御・補正の活用
(ばらつきや不安定性の克服と最適化)
- ・ $\Sigma \Delta$ 変調技術による高精度化

ばらつき抑制：デジタル補正技術

微細化技術を用いると周波数特性が向上し、低消費電力になるが、ばらつきが増大する。そこでデジタル補正技術でこれに対処することが盛んになっている。微細化によりデジタル部のオーバーヘッドが小さくなっている。



Y. Cong and R. L. Geiger, Iowa state university, ISSCC 2003

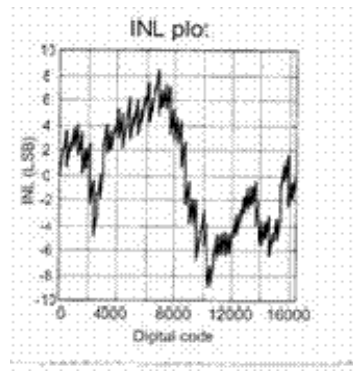
14b 100MS/s DAC

1.5V, 17mW, 0.1mm², 0.13um

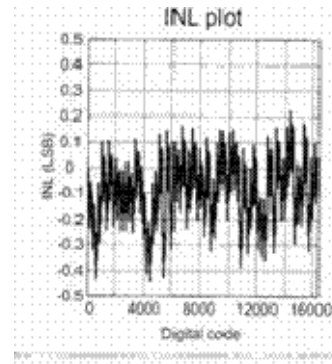
0.5 LSB INL,

SFDR=82dB at 0.9MHz, 62dB at 42.5MHz

+/- 9 LSB



+/- 0.4 LSB



面積: 1/50

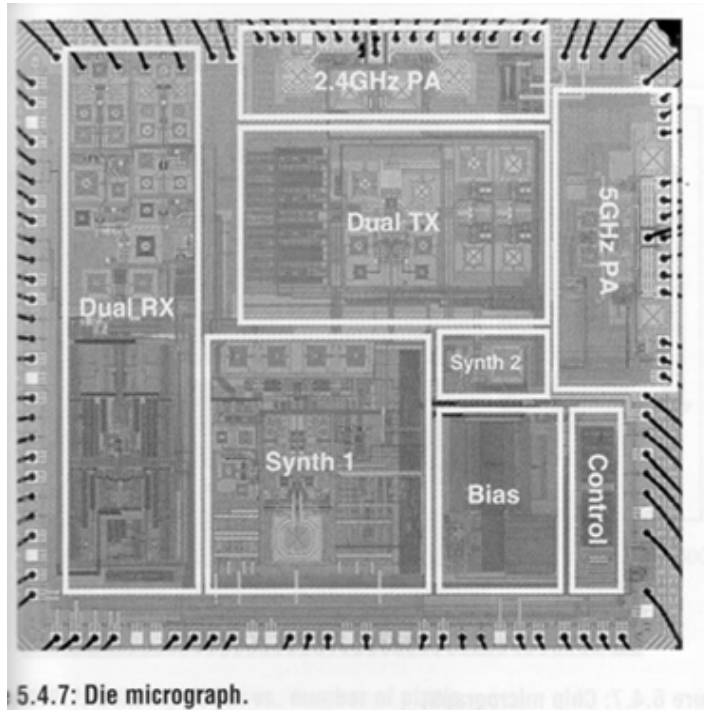
消費電力: 1/20

Digital Calibration

最近のワイアレスLSI

アナログ・RF回路から微細・低電圧CMOSを用いたデジタル型アーキテクチャへ

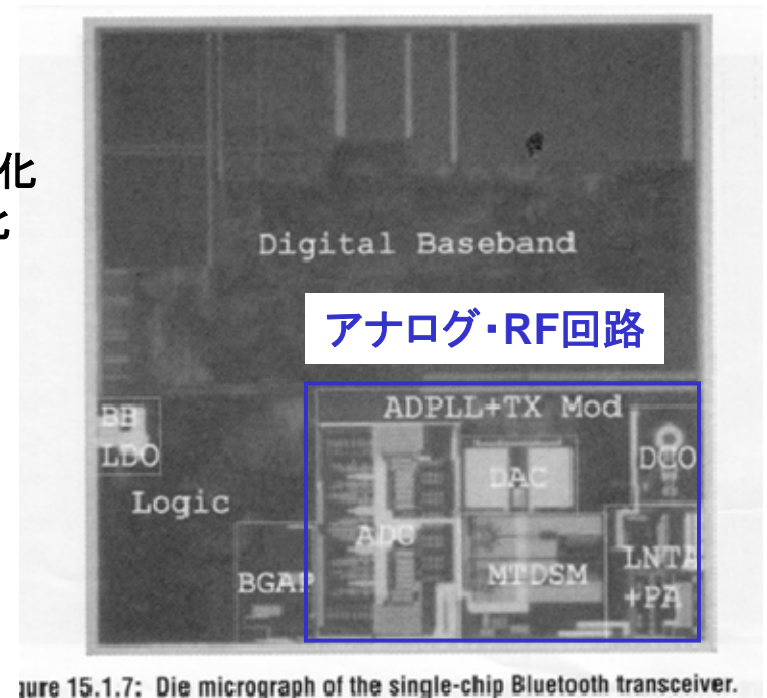
Wireless LAN, 802.11 a/b/g
0.25um, 2.5V, 23mm², 5GHz



アナログリッチでインダクタだらけの設計

M. Zargari (Atheros), et al., ISSCC 2004, pp.96

Discrete-time Bluetooth
0.13um, 1.5V, 2.4GHz



アナログを最小にし、デジタルを活用した設計

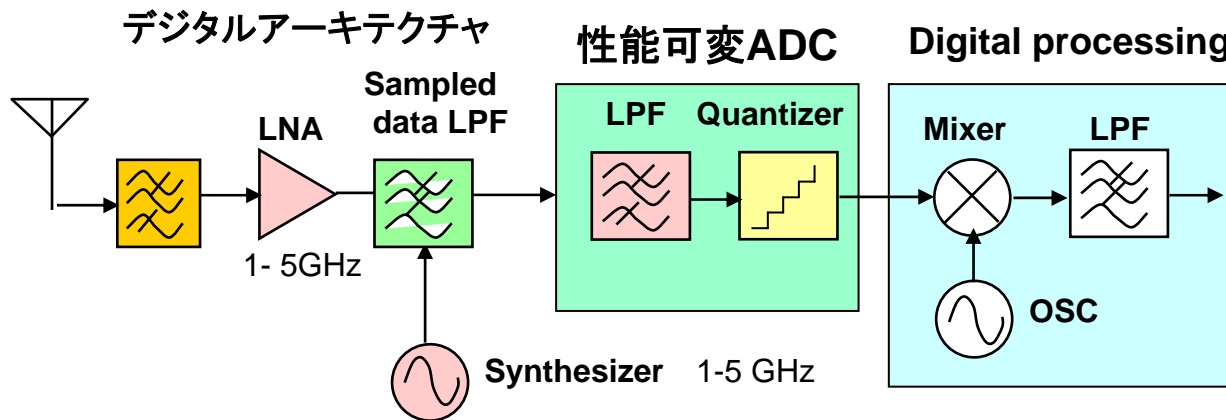
K. Muhammad (TI), et al., ISSCC2004, pp.268

SoC化
デジタル化
低電圧化

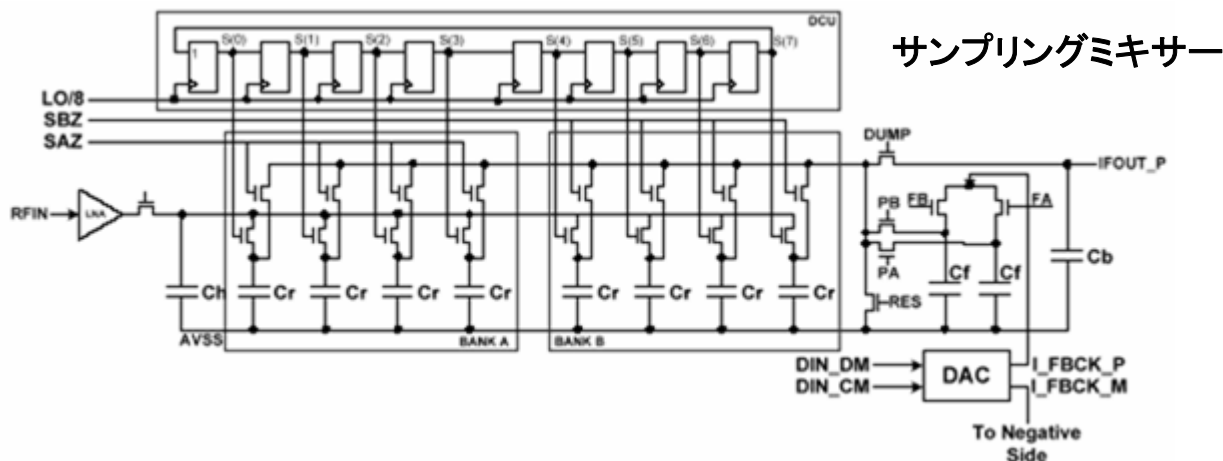


今後のワイアレスシステム

アナログ回路をできるだけデジタル回路に置き換える方向。
90nm程度の微細・低電圧CMOSを用いた高性能・性能可変ADCの開発が鍵になる。



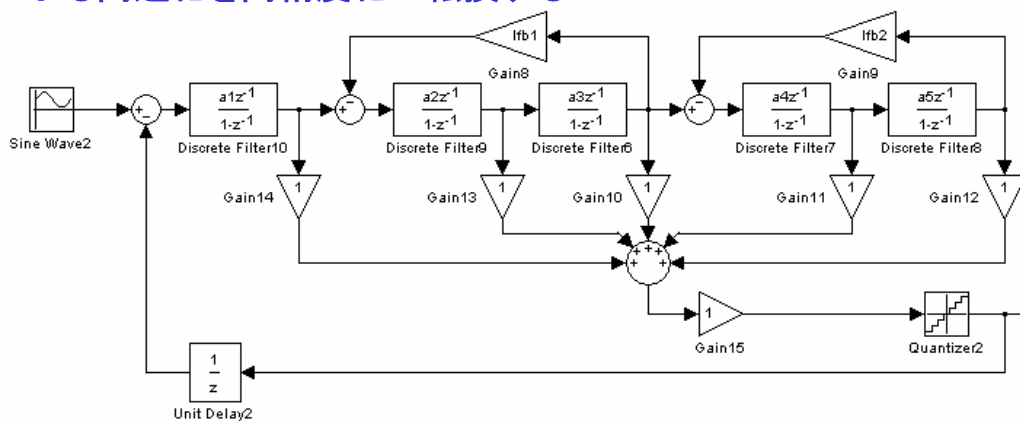
K. Muhammad (TI), et al., ISSCC2004, pp.268



Σ Δ 型ADC

Σ Δ 変調はノイズを高域に拡散できるため高速動作が実現できれば高SNRが得られる。

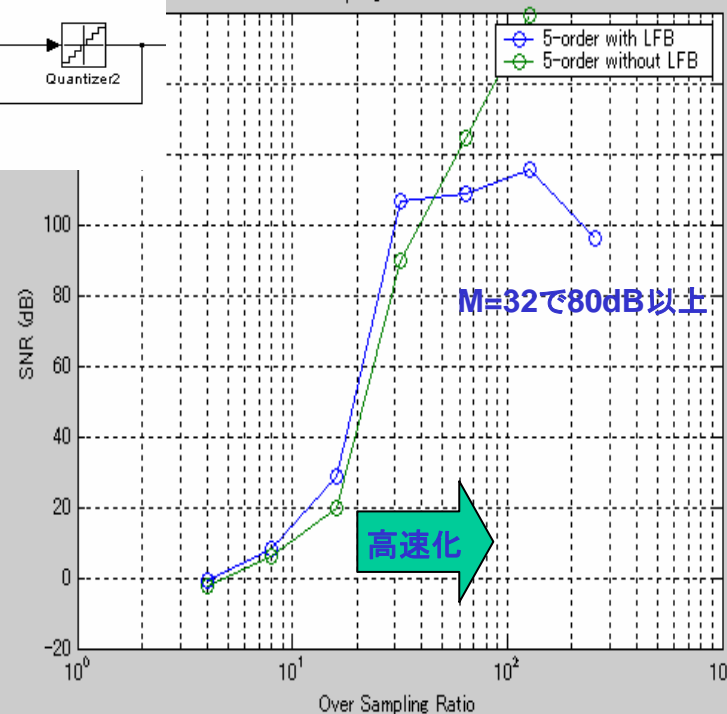
微細化による高速化を高精度化に転換する



5次のΣΔ型ADC

動作周波数/信号帯域を64倍
に取れば80dB以上のSNR
が得られる

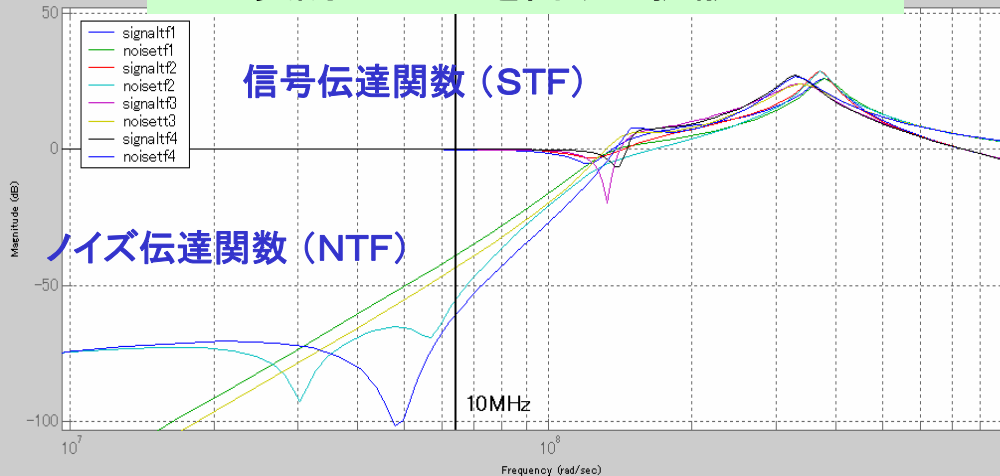
SNR vs Over Sampling Ratio with No Other Noise



Σ Δ 変調はノイズを高域に拡散できる

信号伝達関数 (STF)

ノイズ伝達関数 (NTF)

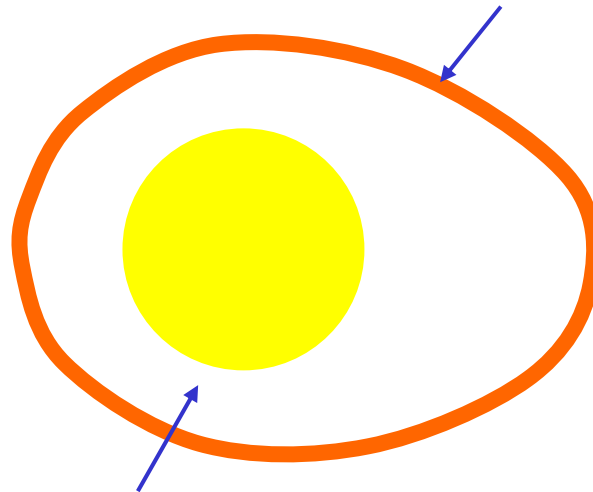


アナ・デジ混載技術の方向性

現在はアナログがデジタル技術を支えている。
今後はデジタル技術をアナログのために活用することが重要。

アナ・デジ混在エッグ

デジタルの殻: 一見不要だがこれがないと卵を食べられない



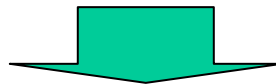
アナ・デジ混在信号処理

$\Sigma \Delta$ 変調技術
デジタル制御・補正

アナログの黄身と白身: おいしいがデリケート

まとめ

- トランジスタの微細化
 - f_T の向上(寄生容量の低下)
 - 電源電圧の低下 (信号振幅の低下)
 - 利得の低下
- アナログ回路への影響
 - 信号振幅の減少に伴うノイズの増大
 - 高SNR→高容量・高利得→速度低下・電力増加
 - 高周波化・高速化・広帯域化の方向へ
- 今後の方向性
 - 高SNRよりは中・低SNRで広帯域(システムの方角と合致)
 - 高SNRは $\Sigma \Delta$ 変調技術を活用($\Sigma \Delta$ 変調:高速化→高SNR)
 - 本質的に必要なアナログ回路だけを残し、デジタルへ



**結論: 今後のシステムの高速化・広帯域化のために
1V程度の低電圧動作と微細化デバイスは必要である**