

# 1GHzサンプリング／6bit高速ADCの開発

佐々木 征一郎  
菅井 男也

新井 満  
杉村 直昭

八木 勝義

近年、WLAN、Digital TV、次世代DVD、HDDなどアプリケーションの高速化が進んでおり、アナログ信号をデジタル信号に変換するADC（Analog to Digital Converter）の高速化のニーズが高まっている（図1）。また、プロセスの微細化によるトランジスタの高速な動作・スイッチング特性の恩恵を受けるためには、ゲート耐圧の関係から低電源電圧でのアナログ回路設計技術が必要となる。さらに、高速通信可能な携帯端末の普及により、バッテリー駆動で使われる場面も増えるため、低消費電力化も重要である。今回、UWB（Ultra Wide Band）に代表される高速・広帯域のワイヤレス通信LSIに必要な1GHzサンプリング／6bit高速ADCをCMOSプロセス・単一電源で開発した。本稿では主に、開発した回路技術とその試作品評価結果について述べる。

表1 目標仕様

Parameter	Min	Typ	Max	unit
Resolution		6		bit
Sampling Rate	100		1056	MHz
SINAD <sup>*1)</sup>	32.0	34.5		dB
ENOB <sup>*2)</sup>	5.0	5.4		bit
Input Bandwidth	400			MHz
Power (Analog)		60		mW

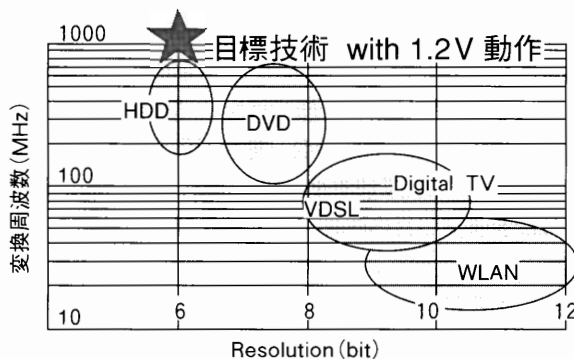


図1 高速ADCの分野別ニーズ

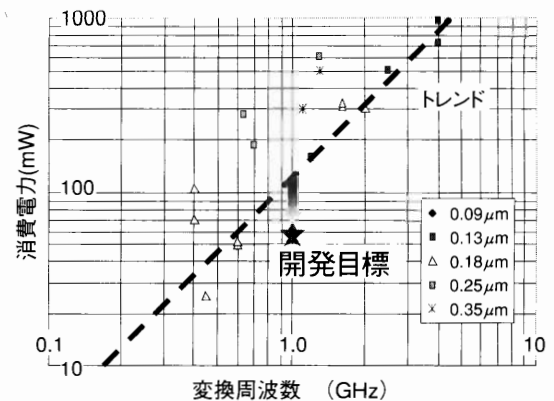


図2 国際学会における6bit換算ADC消費電力トレンド

リング以上の高速ADCであるため、動作周波数・動作電圧の制限からシンプルな構成のフラッシュ型とした。

図3に本ADCのブロック図を示す。以下、各ブロックについて説明する。

- ① クロック入力部。差動入力構成とした。
- ② 基準電圧を生成するRef抵抗。差動コンパレータへの接続を考慮して二対で構成した。
- ③ ADCアナログ部。S/H（Sample and Hold）+3段プリアンプ+コンパレータラッチで構成されている。

図4にRef抵抗部とアナログ部の詳細なブロック図を示す。アパーチャ効果によるADC変換特性悪化を軽減するためにS/Hを搭載した。また、容量補間回路を適用することでS/Hと初段プリアンプの数を半分に削減した。これにより、消費電力削減、入力容量低減によるアナログ入力の広帯域化、入力換算オフセット低減などの効果を得られる。

## 回路構成

### (1) 目標仕様<sup>1) 2) 3)</sup>

6bit高速ADCの目標仕様を表1に示す。国際学会における6bit換算ADC消費電力トレンド（図2）よりアナログ部の消費電力を60mWとした。消費電力以外のパラメータについてはUWB（MB-OFDM）の仕様から想定した。

### (2) アーキテクチャ

ADCのアーキテクチャは、パイプライン型、フラッシュ型、シグマデルタ型などさまざまであるが、1GHzサンプリング

\*1) Signal to Noise And Distortion: 信号(signal)に対する雑音(noise)と歪み(distortion)の和との比。 \*2) Effective Number Of Bits: 有効ビット数

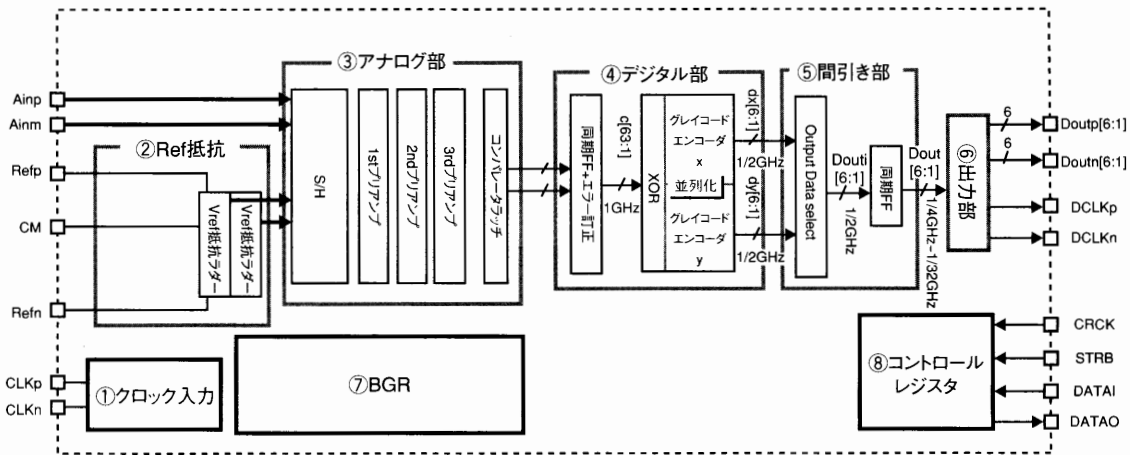


図3 6bitADCブロック図

- ④ ADCデジタル部。コンパレータラッチ出力を取り込むフリップフロップ、バブルエラー訂正回路、グレイコードエンコーダで構成されている。1GHz動作ロジック回路を削減することでタイミングマージン確保と電力削減効果を得るため、グレイコードエンコーダ以降は並列化処理することで動作周波数を半分にしている。
- ⑤ 間引き部。デジタル出力バッファで発生するノイズを抑制すること、測定器の制約から1/4~1/32の範囲で可変の間引き回路を搭載した。
- ⑥ 出力部。差動出力構成とした。評価容易化のため、データ出力だけではなく取り込み用のクロックも出力させた。
- ⑦ 基準バイアス生成部。電流型バンドギャップ回路にすることで低電圧動作可能とした。
- ⑧ コントロールレジスタ。各ブロックのパワー制御、タイミング調整、電流調整などを行う。

(3) シミュレーション結果

図5にシミュレーション結果を示す。アナログ入力周波数246MHzでENOB=5.2bitとなり、目標仕様を満足することを確認できた。

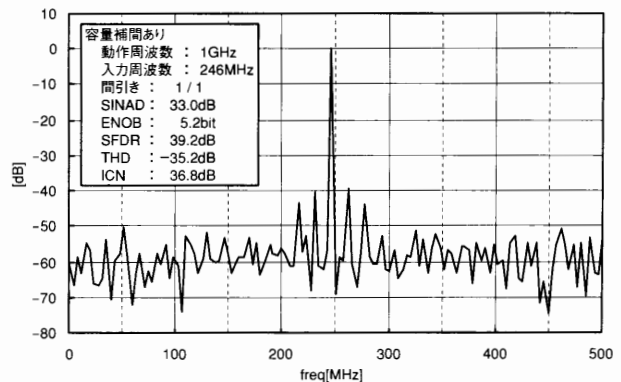


図5 シミュレーション結果

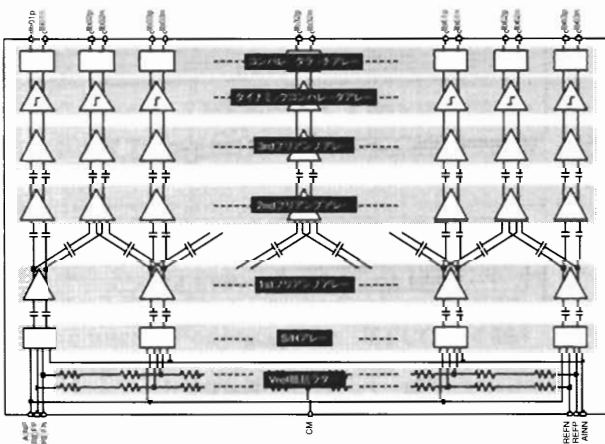


図4 Ref抵抗およびアナログ部詳細ブロック図

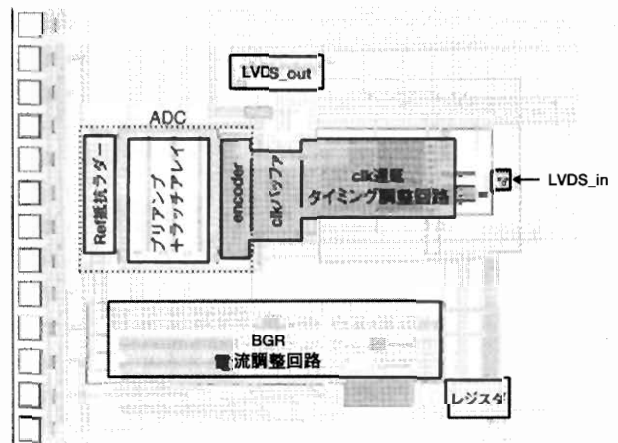


図6 6bit ADCブロックレイアウト

#### (4) レイアウト構成

図6 (前ページ) にブロックレイアウトを示す。ADCの約2倍のエリアをテスト回路用として確保し、タイミング調整回路と電流調整回路を搭載した。これにより開発期間短縮と、回路のタイミングマージンや電流・電圧依存性などさまざまな評価を行うことを可能とした。

### 試作品評価結果

#### (1) 試作チップ写真

写真1に試作チップ写真を示す。チップサイズは4.2mm×4.4mmで、空スペースにはバイパスコンデンサを配置した。



写真1 試作チップ写真

#### (2) 試作品評価環境

写真2に試作品評価ボードの外観を示す。クロックとアナログ信号入力用バラン、差動データ出力をシングル変換するためのバッファ、コントロールレジスタ制御用FPGA\*3)などで構成されている。アナログ入力周波数が400MHzの場合、入力クロックのジッタは50ps以下にする必要がある。これは信号発生器のジッタよりも小さい。ジッタを低減するために、フィルタを別途準備した。

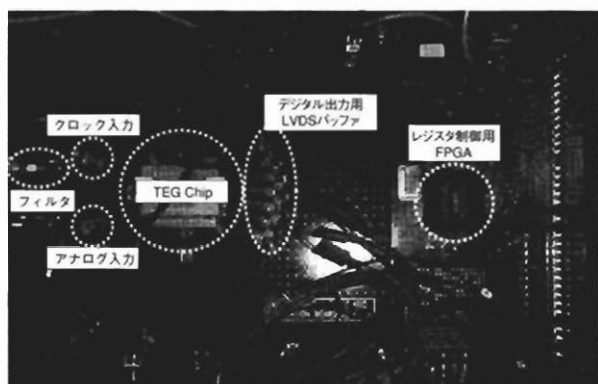


写真2 6bit ADC試作品評価ボード外観

#### (3) 評価結果

##### ① スペクトラム波形

図7に試作品のスペクトラム波形と諸特性を示す。1/32間引き出力のため、横軸は15.625MHzまでとなっている。アナログ入力周波数が10MHzではあるが、シミュレーションと同等の結果を得られた。

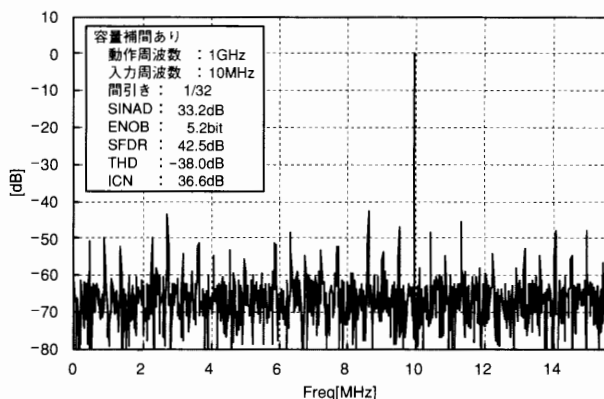


図7 スペクトラム波形 (容量補間あり, 1/32間引き)

##### ② アナログ入力周波数特性

図8にアナログ入力周波数を1M~400MHzまでスイープさせた場合のSINADを示す。試作では容量補間回路の有効性を確認するために容量補間あり/なしの回路水準を設けた。どちらも50MHzまでのSINADはフラットな特性となっている。50MHz以上の高域でSINADが悪化しているのは、入力クロックジッタ測定結果から逆算したSINAD限界値 (計算値) と、アナログ入力信号のSINAD (実測値) から評価環境の影響が支配的であると思われる。また、わずかではあるが容量補間回路を適用することでSINADが向上することを確認できた。

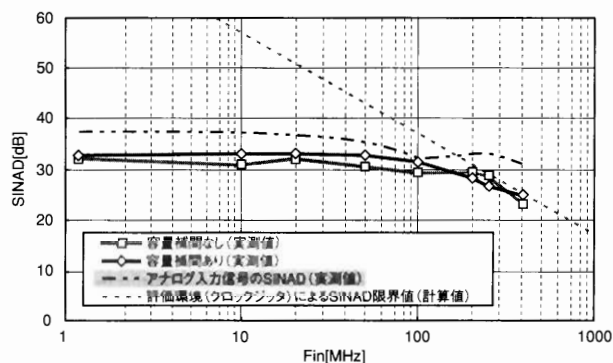


図8 アナログ入力周波数特性

\*3) Field Programmable Gate Array

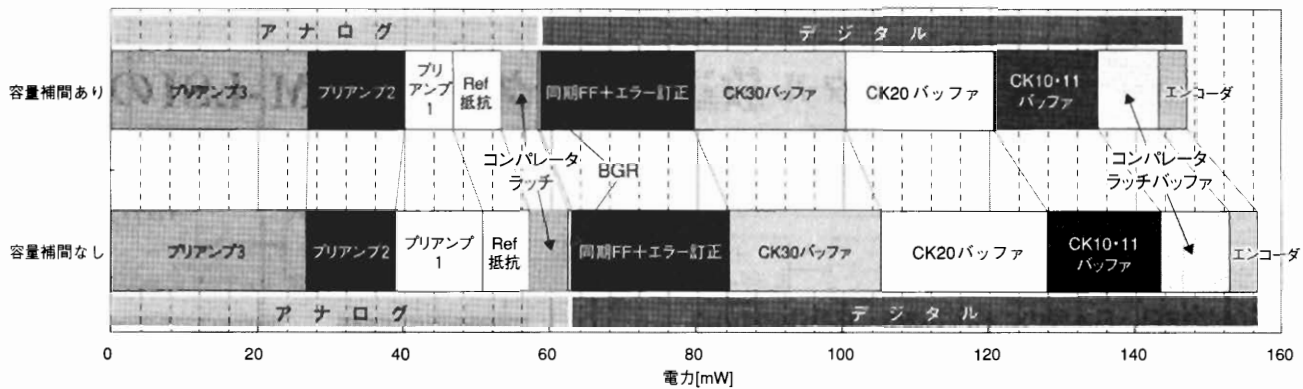


図9 消費電力測定結果

③ 消費電力測定結果

図9に容量補間あり/なし水準ごとの消費電力測定結果を示す。容量補間により、プリアンプ1の電力を約半分に削減できた。また、各プリアンプの電力とSINADの相関解析により、プリアンプ3の電力を抑えてゲインを上げることで、特性向上可能であることがわかっている。

まとめ

1GHzサンプリング/6bit高速ADCの回路技術とその試作品評価結果について紹介した。1GHzサンプリング/6bit高速ADCを実現するための回路技術と評価技術を構築することができた。

謝辞

本ADCは東京工業大学 大学院理工学研究科 松澤研究室と共同開発したものである。研究開発を進めるに当たり、ご尽力頂いた松澤教授および研究室の皆さんに心より感謝する。◆◆ ◆◆

参考文献

1) K.Kusumoto, A.Matsuzawa, K.Murata, "A 10-b 20-MHz 30mW Pipelined Interpolating CMOS ADC," IEEE Journal of Solid-State Circuits, Vol.28, No.12, pp.1200-1206, 1993  
 2) A.Matsuzawa, S.Nakashima, I.Hidaka, S.Sawada, H.Kodaka, S.Shimada, "A 6b 1GHz Dual-parallel A/D Converter," Solid-State Circuits Conference, 1991. Digest of Technical Papers. 38th ISSCC., 1991 IEEE International, 13-15, pp.174-311, Feb. 1991  
 3) Kouji Sushihara, Hiroshi Kimura, Youichi Okamoto, Kazuko Nishimura, Akira Matsuzawa, "A 6b 800Msamples/s CMOS A/D converter," IEEE International

Solid-State Circuits Conference, vol. XLIII, pp.428-429, February, 2000

4) Christoph Sandner, Member, IEEE, Martin Clara, Andreas Santner, Thomas Hartig, and Franz Kuttner, "A 6-bit 1.2-GS/s Low-Power Flash-ADC in 0.13-um Digital CMOS," IEEE Journal of Solid-State Circuits, Vol.40, No.7, JULY, 2005

筆者紹介

佐々木征一郎: Seiichiro Sasaki. シリコンソリューションカンパニー 通信車載システムビジネス本部 RF技術開発部 アナログ技術チーム

新井満: Mitsuru Arai. シリコンソリューションカンパニー 通信車載システムビジネス本部 RF技術開発部 アナログ技術チーム

八木勝義: Katsuyoshi Yagi. シリコンソリューションカンパニー 通信車載システムビジネス本部 RF技術開発部 アナログ技術チーム

菅井男也: Danya Sugai. シリコンソリューションカンパニー 通信車載システムビジネス本部 RF技術開発部 アナログ技術チーム

杉村直昭: Naoaki Sugimura. シリコンソリューションカンパニー 通信車載システムビジネス本部 RF技術開発部 アナログ技術チーム マネージャ