

招待論文

LSI 技術の課題と今後のあり方

松澤 昭^{†a)}

Issues of Current LSI Technology and the Future Technology Direction

Akira MATSUZAWA^{†a)}

あらまし 現在の LSI の課題について演算処理能力や消費電力の観点から LSI の性能向上とコストダウンの基本原則であるスケーリング則を用いて論じた。現状大きな課題となっているリーク電流や配線遅延の増大はスケーリング則からの当然の帰結であり、小手先の対応では済まない本質的な課題である。今後は電源電圧があまり低下しないため消費電力の低減が困難になるほか、配線遅延時間はむしろ増大するために高速動作はますます困難になるうとしている。しかしながら演算処理能力当りの消費電力は LSI アーキテクチャにより 3 けたも違うため、演算処理能力の向上と消費電力の削減のためには用途に応じた LSI アーキテクチャの最適化が極めて重要である。これに加えてチップ間を低 RLC で接続する実装技術や数 mm の距離にすべての回路を集積する 3 次元集積・実装技術が今後の LSI の発展の鍵を握っているものと思われる。

キーワード 集積回路, 高速動作, 低消費電力, 配線, 実装技術

1. ま え が き

電子機器において LSI 技術は少なくとも過去 30 年以上にわたり絶え間ない性能向上と低コスト化を実現した最も重要な技術であることは言を待たない。スケーリング則 [1] に基づく微細化によって高速化・高集積化とともにトランジスタ当りの消費電力とコストを下げた。通称ムーアの法則と呼ばれるものであり、3 年で約 4 倍の集積度と 2 倍の速度向上を達成してきた [2]。現状、量産レベルでは 130 nm 技術、あるいは 90 nm 技術が実用化されており、パソコン用の CPU のクロック周波数は 3 GHz 以上になっている。しかしながら数年前、デザインルールでいえば $0.25 \mu\text{m}$ から $0.18 \mu\text{m}$ にかけて微細化に伴う様々な問題がクローズアップされた。一つはリーク電流の増大であり、特に携帯機器向けのスタンバイリーク電流が問題となった。また 90 nm 以降ではゲート酸化膜の膜厚減少に伴うトンネル電流が課題となった。このため従来のシリ

コン酸化膜に代わる高誘電率材料の探索が始まった。更に高速化と微細化にとっては配線遅延時間の増大が深刻な問題となった。このため配線材料が従来のアルミニウムから銅に切り換わり、低誘電率材料が導入された。このようにいくつかの課題は分かっていたものの微細化の進展はむしろ加速されたのである。

しかしながら最近はこの微細化・高速化の加速に関してより懐疑的な見方が多くなった。例えば ITRS 半導体技術ロードマップは 2003 年版で初めて微細化の前倒しをやめた [3]。また ISSCC2003 のテクノロジースケーリングのセッションにおいて CPU のこれ以上の高速化が困難な見方が多くなった [4]。CPU の動作周波数は 10 GHz に届かないとの見方が大勢を占めた。最近では PC マーケットの飽和とデジタル情報家電市場の急速な進展により、PC とその基幹デバイスである CPU に対する関心が薄れてきた [4]。今日まで LSI の世界では限界説はたびたびさやかれたがこれを克服してきた。しかしながら現在は本質的な転換を促しているような気がしている。そこで本論文においてはスケーリング則であらかじめ予測されていた LSI 技術の課題と、これを克服するための技術の方向性について考察する。

[†] 東京工業大学大学院理工学研究科, 東京都
Department of Physical Electronics, Tokyo Institute of
Technology, 2-12-1 O-okayama, Meguro-ku, Tokyo, 152-
8552 Japan

a) E-mail: matsu@ssc.pe.titech.ac.jp

用語の解説

(1) サブスレッショルドリーク電流

MOS トランジスタにおいてゲート・ソース間電圧がゼロのときに流れるドレイン電流。CMOS LSI のオフリーク電流となりしきい値電圧の低下につれて指数的に上昇する。このため微細化・低電圧化の大きな障害になっている。

(2) ゲートリーク電流

MOS トランジスタにおいてゲートを流れる電流。ゲート酸化膜圧が薄くなるにつれて指数的に上昇する。CMOS LSI のオフリーク電流となるが、従来はほとんど無視できるくらい少なかったが微細化につれて無視できなくなるくらいに上昇している。この対策のために Hi-K ゲート絶縁膜の開発に期待が集まっている。

(3) Known Good Die

モジュールに使用するベアチップ LSI の完全性と信頼性をウェーハレベルでのテストなどにより確保すること。

2. ロジック LSI の構成と性能

ロジック LSI の代表として CPU を取り上げる。CPU の動作は図 1 に示したようにメモリから命令及びデータを取り出し、ALU において命令に基づいた演算をデータに対して行い、演算結果を再度メモリに格納することを基本としている。大容量データに対して高速演算を行うにはメモリを階層化する必要がある。通常 ALU に直結するところは高速ラッチ回路からなるレジスタファイルが受け持ち、大容量の主記憶は外部の DRAM が用いられている。DRAM は読出しが遅い上に転送速度が遅い外部バスにより接続されているのでデータのアクセス速度及び転送速度が ALU の動作とギャップがあり、中間に SRAM で構成されるキャッシュメモリが配置されている。したがってメモリからのデータ供給速度がシステムの実効的演算速度のボトルネックになる。またこの構成はどんな命令でも任意のデータに施すことができるため最も汎用性が高い反面、基本的に 1 クロックで一つの処理しか行うことができない。最近ではスーパスカラ技術やあらかじめいくつかの場合を想定して同時演算し、状態に応じてどれかを選ぶ投機的演算法などにより複数の処理を行えるようになったが、それでもせいぜい 1 クロックで三つ程度の処理が行えるくらいである。

ところでロジック回路は同期型で構成される。ラッチ間にロジック回路が配置され、クロックの 1 周期より

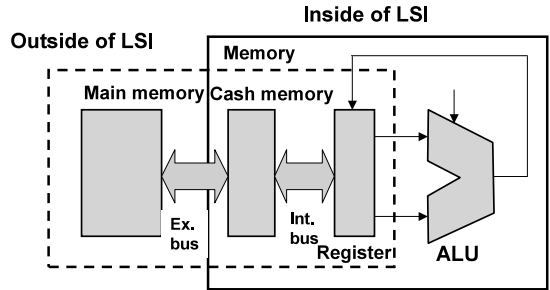
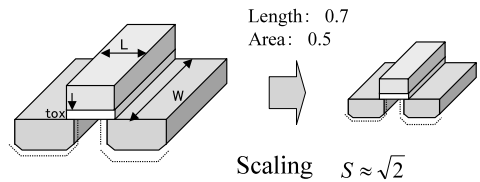


図 1 CPU システムの構成
Fig.1 Construction of CPU system.



Device/Circuit parameter	Scaling Factor
Device dimensions L, W, Tox	1/S
Doping concentration	S
Voltage	1/S
Field	1
Current	1/S
Gate Delay	1/S
Power dissipation/device	1/S ²

図 2 トランジスタのスケールアップとパラメータ
Fig.2 Transistor scaling and parameters.

もロジック回路の最大遅延時間が短ければ回路は正常に動作する。実際にはラッチ回路のセットアップ・ホールド時間やクロックスキューの分マージンをとらなければならない。したがって高速演算を行うにはロジック回路の遅延時間を短縮するか、ラッチ間にロジック回路の接続段数を減らす必要があることが分かる。ただしロジック回路の接続段数を減らすことはラッチ数の増加によりチップ面積と消費電力の増大を招くので限度がある。論理回路はトランジスタと、トランジスタ間を接続する配線により構成されているのでこれらの特性を次に論じる。

3. スケーリング則

LSI の性能・集積度の向上とコストダウンはスケールアップによるものである。今後のあり方を考えるためにこの原点に立ち返ってみたい。

3.1 トランジスタスケールリング

トランジスタのスケールリングのポイントを図2に示す。スケールリングファクタを S とするときデバイスの各ディメンジョンを $1/S$ に縮小するとともに動作電圧も $1/S$ に縮小して電界を一定にする [1]。

CMOS 回路のゲート遅延時間 t_{pd} は、

$$t_{pd} \propto \frac{C_L V_{LT}}{I_o} \tag{1}$$

で表される。ここで C_L は負荷容量、 V_{LT} は論理しきい値電圧、 I_o は平均電流である。

真性 MOS の負荷容量はゲート容量が支配的であることと、論理しきい値電圧を電源電圧 V_{dd} の半分、微細化された MOS トランジスタのキャリア飽和速度が一定であることを考慮すると、下記のようなになる。

$$t_{pd} \propto \frac{L}{2v_{sat}} \cdot \frac{1}{\left(1 - \frac{V_T}{V_{dd}}\right)} \tag{2}$$

したがって V_T/V_{dd} 比を一定にとればチャネル長 L を短縮することにより遅延時間を短縮できるため、スケールリングによりゲート遅延時間 t_{pd} が短縮する。

次に消費電力を考える。

消費電力は以下のように主として容量の充放電電力で決定され、リーク電流の項が加算される。

$$P_d = f C_L V_{dd}^2 + I_{leak} V_{dd} \tag{3}$$

ここで、 f は単位時間当りの充放電回数で、通常クロック周波数に比例する。

したがって真性トランジスタの周波数当りの消費電力は電源電圧がスケールリングされるため、スケールリングファクタ S の2乗程度に反比例し、スケールリングにより減少させることが可能である。

ところで以上の解析は V_T/V_{dd} 比が一定と仮定したが、しきい値電圧 V_T が低くなるとサブスレッショルドリーク電流が問題になってくる。サブスレッショルドリーク電流 I_{leak_sub} は、

$$I_{leak_sub} \propto W \exp\left(\frac{-V_T}{nU_T}\right) \tag{4}$$

と表される。ここで U_T は温度電圧、 n は C_b をチャネル空乏層容量、 C_g をゲート容量として $n = (1 + C_b/C_g)$ で表されるサブスレッショルド係数を表す量であり、通常 1.3~1.5 程度の値をとる。サブスレッショルドリー

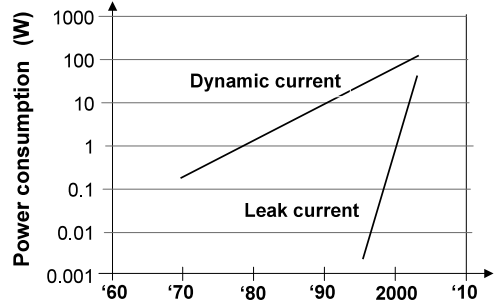


図3 高速CPUの消費電力推移
Fig.3 Power consumption trend for high speed CPUs.

ク電流はオン電流に比べれば極めて小さなものであるが、容量の充放電電力とは異なり、チップ上のすべてのトランジスタの電流が合算されるため近年無視できないものとなっている。これはスケールリングによらずしきい値電圧 V_T で決定されるため、スケールリングで縮小することはできない。それどころかゲート遅延時間は式 (2) で表されるので回路の高速化を図るには V_T/V_{dd} を一定に若しくは小さくする必要がある。このため従来の微細化ロードマップでは V_T も V_{dd} の減少に伴い同時に縮小していた。この結果高速CPUのサブスレッショルドリーク電流は図3に示したように容量の充放電電力の伸びを大きく上回り深刻な問題となった [2]。そこで最近のロードマップでは V_T 、 V_{dd} ともにあまり減少させないように従来のスケールリング則を修正している [3]。

このことは遅延時間がゲート長の縮小によりある程度は減少するものの、スケールリングによる容量の充放電電力の削減は従来よりも期待できなくなったことを意味する。

これに加え、ゲート酸化膜が薄くなりすぎてトンネル電流が流れることが問題になった。このゲートリーク電流 I_{gd} は、

$$I_{gd} \propto \exp\left(-\frac{T_{ox}}{V_{dd}}\right) \tag{5}$$

で近似できる。ここで T_{ox} はゲート酸化膜厚である。したがってゲート酸化膜が薄くなると指数的に増加する。対策として高誘電率を有するゲート材料の使用があり、最適な材料探索が続けられている。

3.2 配線スケールリング

配線のスケールリングにおいては近傍のトランジスタ間を接続するローカル配線とチップ内における離れ

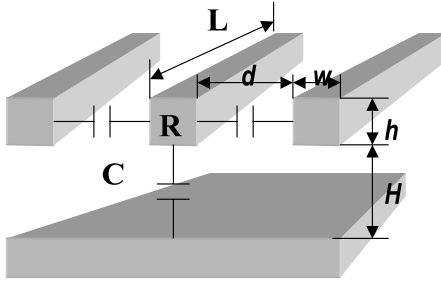


図4 配線の構造とパラメータ
Fig. 4 Structure of interconnection and parameters.

表1 配線のスケールリング
Table 1 Interconnection scaling.

Parameters	Local	Global
L	1/S	Sc
W, d	1/S	1/S
H, h	1/S	1/S
R	S	S ² Sc
C	1/S	Sc
Td (=RC)	1	(SSc) ²

たブロック間を配線するグローバル配線に分けて考える必要がある。図4に配線構造とスケールリングのパラメータ、表1に各パラメータのスケールリング値を示す。ここでSはデバイススケールリングファクタ、Scはチップサイズのスケールリングファクタである。ローカル配線のRC遅延はスケールリングに対して一定であり、配線容量のみが減少している。これはローカル配線においてもスケールリングに対して単位長さ当りの容量が一定であることを考慮すると、スケールリングにより配線長が短縮された効果である。グローバル配線は配線抵抗値がスケールリングによりS²Scで増加することからスケールリングにより急増する。通常Sは1.4程度にとるので、1世代に2倍以上は増加することになる。

したがって、配線遅延に関してはスケールリングがむしろ逆効果であることが分かっていた。図5にゲート遅延と配線遅延の技術世代ごとの推移を示す[5]。微細化によりゲート遅延時間は減少したが、配線遅延は増加している。

このように配線遅延は当初よりLSIの重要課題であったが、問題を緩和してきたのは配線の階層化とリピータバッファの挿入によるものである。LSIの配線長は短いものほど多く、長い配線は少ないので、階層化することが可能になる。上層配線を縦方向及び横方

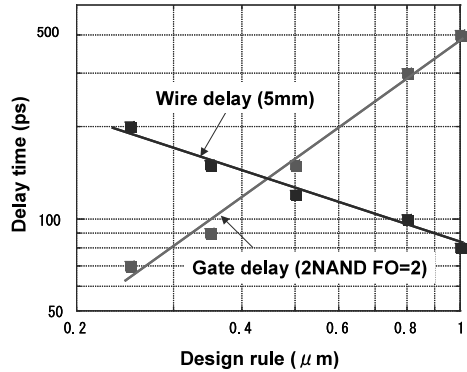


図5 ゲート遅延と配線遅延の推移
Fig. 5 Gate-delay and wire-delay trend.

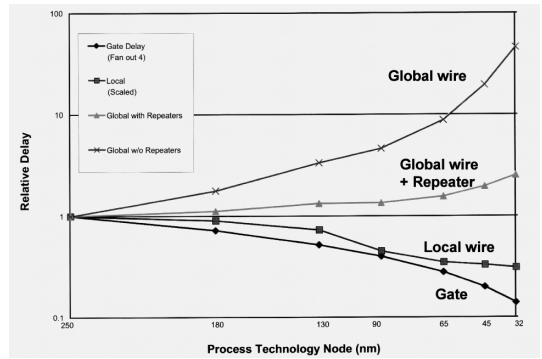


図6 配線遅延の予測
Fig. 6 Estimation of wire-delay.

向に広げることで単位長さ当りの容量をあまり増加させずに配線抵抗を下げることでこのような配線を長距離配線に用いることで配線遅延時間をあまり増加させないようである。

リピータバッファによる改善とは配線遅延が長さの2乗に比例することから配線を分断し、分断された配線間にリピータを挿入することで配線遅延の短縮を図るものである。挿入数が増えると配線遅延時間は短縮されるがリピータによるゲート遅延は増加するため最適な挿入法がある。しかしこれとて万能ではない。図6はITRS 2001に掲載された配線遅延の予測[6]を示しているがゲート遅延とローカル配線遅延は微細化とともに減少するが、グローバル配線遅延は急増し、リピータバッファの挿入をもってしてもやや増加することを意味している。したがって配線遅延は今後改善されるめどはほとんど立っていない。

表2 各種配線のパラメータ
Table 2 Parameters of some interconnection methods.

	Local	Global	Above chip	Module	PWB
C (fF/mm)	349	254	90	163	113
Rsq(Ohm/mm)	455	227	100	0.01	0.005
RC (ps/mm)	159	57.7	9.02	0.0016	0.00057
L (nH/mm)	---	---	---	1.05	0.47
W (um)	0.22	0.44	1	60	100
h (um)	0.34	0.34	1	60	35
d (um)	0.20	0.40	1	60	100
H (um)	0.79	0.79	3.02	3000	180

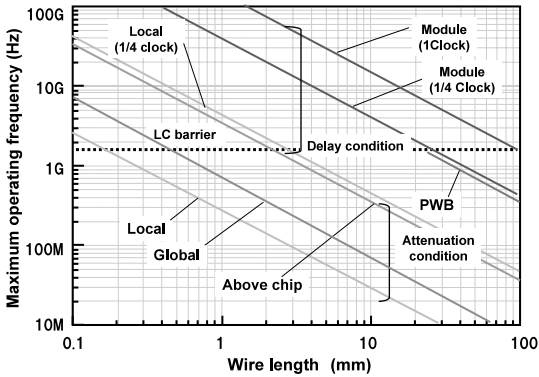


図7 各配線の配線長と最大動作周波数

Fig. 7 Maximum operating frequency versus wire length for some interconnections.

4. 配線の性質の比較

今後の配線技術を検討するため表2に示すような現在の0.13 μm ルールのLSIとパッケージやPWB基板に使用されている配線パラメータを用いて単位抵抗, 単位容量, 配線遅延時間などを算出してみた。ここで, チップ上とあるのは高周波回路用のインダクタの形成や電源・グランド配線の裏打ち用として現行のLSI上に設けた配線を, モジュールとあるのはLSIパッケージ技術をベースにしたモジュールに使用する配線を仮定している。ここで注目すべきは配線ピッチや厚さにより配線抵抗は5けた変化するが単位容量は数倍しか変化しないことである。ローカル配線とPWBの配線ではRC積が27万倍も異なるという結果が得られている。信号伝送速度を信号振幅の減衰が10%の達する周波数と信号遅延が転送周期の1/4若しくは1になる周波数で計算した。

図7に結果を示す。ローカル配線の場合のみ信号減衰条件と転送周期の1/4の条件を示している。LSIの配線においては抵抗成分による信号の減衰が大きく、例

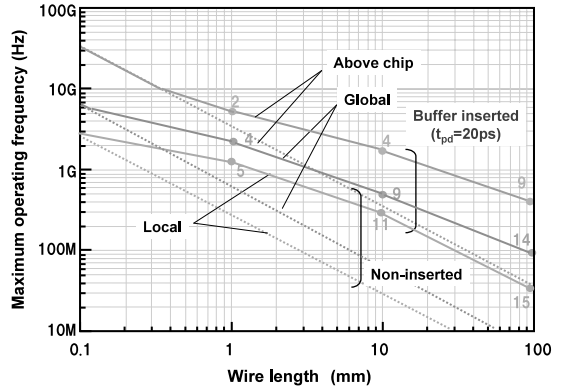


図8 リピータバッファを挿入した各配線の配線長と最大動作周波数

Fig. 8 Maximum operating frequency versus wire length for some interconnections with repeater buffers.

えば2 GHzの信号を送ることができる距離はローカル配線で0.1 mm, グローバル配線で0.4 mm程度である。チップ上に設けた配線では2 mm程度となった。ローカル配線のみ転送周期の1/4の条件を示したが, この場合は2 GHzの信号が2 mm程度は伝送可能である。したがってLSIの配線においては信号の遅延そのものよりも信号振幅の減衰により伝送速度が決定されているといつてよい。これに対し, モジュールやPWBに使用されている配線での信号減衰はほとんどなく, 分布定数線路としての信号伝搬時間のみが問題となる。ただし実際のPWBの場合はESDダイオードによる大きな容量や部品接続のためのボンディングワイヤによる大きなインダクタの存在によるLCバリヤがあり, これが1 GHz程度といわれている[7]ため1 GHz以上のプロットは示していない。モジュール配線の場合は転送周期の1/4転送条件では2 GHzで20 mm, 10 GHzで4 mmの転送が可能である。

ところで, 実際のLSIでは配線遅延短縮のためリピータバッファを挿入するので, 図8に示すようにLSI配線に関してリピータバッファを挿入した場合を求めた。リピータバッファは20psのゲート遅延を用い, 全体遅延が最小になるように個数を設定した。図中の数はリピータバッファ数を示している。

リピータバッファの挿入により伝送特性が改善される。2 GHz伝送に対してローカル配線では0.3 mm, グローバル配線では1 mm, チップ上配線では10 mmに改善された。

かなりの改善であるが通常のLSIでは最長のグローバル配線の長さは10 mm以上必要であり, 10 mmの

長さでは伝送速度が1 GHzを下回る．このため伝送速度が1 GHzを超えるLSIでは少なくともチップ上に設けた配線程度のパラメータが必要であると思われる．

このような検討結果から今後LSIが10 GHz程度の動作を行うためには信号減衰を抑制するために配線幅、配線間隔、配線厚がそれぞれ10 μm 程度の配線が必要と思われるが、その場合、今度は振幅減衰ではなく分布定数線路の伝搬遅延時間が課題となる．しかしながら伝送速度が究極の時間である光速に近づいていることからこの改善は非常に困難である．体系的な改善方法は信号伝送を数サイクルかけて行うことであるが、ベクトルの連続データならばともかく、ランダム処理の場合は確実に処理能力が低下する．したがってこの方法は有効な手段とはなりにくい．

つまり高速伝送を行う上で必要なことは回路をスケーリングの原点に帰ってできるだけ短い距離に配置することである．配線が短くなれば信号減衰、伝搬時間、消費電力すべてが改善される．配線のスケーリングにより伝送速度を上げるには素子を微細化して接続距離を短縮するとともにチップサイズを小さくすべきである．この点に関して3次元LSIは配線のスケーリング上、真っ当な解決手段といえる．平面の回路を m 分割すると最大配線長は $1/m$ になるという検討結果が報告されている[8]．接続の信頼性、自動配線方法、温度上昇に対する対策など多くの課題があるが3次元LSIこそが配線のスケーリング上、真っ当な解決手段といえることは認識しておく必要がある．

5. LSIのアーキテクチャと今後の方向性

LSIの処理能力は基本的にクロック周波数と1クロック当りの演算数の積で決定される．したがって、同一処理能力であっても1クロック当りの演算数を多くとればクロック周波数を下げることができる．クロック周波数の減少はゲート遅延に余裕をもたらす回路の電圧を下げることができるので低電力化になる．また V_T を過度に下げなくても必要なゲート遅延時間が確保できるために現在課題になっているリーク電流低減も可能である．したがって今後のLSIにおいては1クロック当りの演算数を増やすことが重要である．

また、図1に示したように汎用プロセッサの演算器とメモリ間は負荷容量が大きく配線長が長い各種のバスで接続されており、しかもメインメモリはLSIの外部に配置されているため演算器とメモリ間の距離は数cmの長さに達している．このことはLSI外部でいか

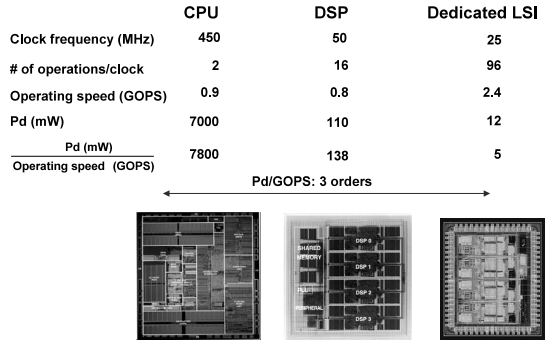


図9 LSIアーキテクチャによる処理能力と消費電力の違い
Fig.9 Processing speed and power consumption on different LSI architectures.

に高速のインタフェース技術を用いようにもデータ取得のためのレイテンシを増大させ実行処理能力を低下させるとともに消費電力を急増させる．つまり演算器とメモリをLSI内部でできるだけ近接させることが処理能力の向上と消費電力の削減にとって必要である．

図9はLSIのアーキテクチャによる処理能力、1クロック当りの演算数、消費電力を比較したものである[9]．ほぼ同一の処理能力であっても並列度を増した専用プロセッサが最も消費電力が少なく、DSPがこれに続き、汎用プロセッサが最も消費電力が大きい．処理能力当りの消費電力の差は3けた程度あり、LSIのアーキテクチャが処理能力の向上と消費電力の削減にとっていかに重要かが分かる．並列度をいかに多くとれ、実効的な演算能力を増大できるかは処理内容に大きく依存する．一般的に画像処理に対しては効果的であり、通信や制御に対しては効果が少ないといわれている．ただし処理を限定することで必要な処理に最適化したアーキテクチャがとれる．このように利点の多い専用プロセッサであるが課題は汎用性の喪失である．扱える処理が限られてしまう．したがって情報家電機器などは処理内容が限定され、制御や通信処理部分の要求処理速度はあまり高速ではないので専用プロセッサとそれほど性能の要求されない汎用プロセッサの組合せが有効であると思われる．PCはソフトウェアですべての処理を行うのが基本的な考え方であるために専用化は難しいが処理量を要求される画像処理や一部のシミュレーションに対しては専用プロセッサLSIを用意してこれに任せるといったシステム構成が必要であろう．この場合ソフトウェアの変更が必要ことからソフトウェアプログラミングの継承性の課題があり、システム変更には時間を必要とするものと思われる．

ただしデジタル情報家電においても微細化とともに開発コストが上昇しており、なるべくLSIの種類を減少させ、応用での差異化はソフトウェア変更で行うなど汎用プロセッサへの依存が高まっている。しかしこのことは前述した汎用プロセッサの課題を抱え込むことを意味する。したがって今後は専用プロセッサと汎用プロセッサを別チップにしてSiP技術などを用いて高速信号伝送が可能でかつ低消費電力のシステムをフレキシブルに構成できることが必要となる。また集積度や必要なメモリサイズ、熱の問題を考えるとメインメモリとCPUの混載の可能性は極めて低いと思われるが、現在のようなボードベースの技術では高速化・低電力化に限界があるため、少なくともモジュールベースの技術になる必要がある。チップ間をマイクロバンプで接続する技術は接続部の電気特性がチップ上で1mm程度の配線と同等であるためほとんどチップ上と同様の高速・低消費電力伝送が可能である[10]。KGDやテスト、信頼性、システムの拡張性などに課題があるがぜひ実現したい技術である。

6. む す び

スケーリング則と微細化はLSIの集積度と性能を劇的に向上させるとともにトランジスタ及び周波数当りの消費電力を劇的に低下させてきた。しかしながらデザインルールが100nmを切ろうとしている現在、消費電力やリーク電流の増大が深刻化するとともに高速処理の最大の源泉であるクロック周波数の限界がささやかれている。今日のLSIの課題はトランジスタと配線のスケーリング則から予期されていたことであり、驚くべきことではないが、過去約30年にわたる継続的な進歩によりシステムの大幅な変更によらずとも済むような、回避可能な課題と楽観視されすぎているきらいがある。しかしながら例えば配線遅延にしても従来のようなRC遅延の改善では済まず、光速をもってしても1/4クロックでの信号伝送が不可能な領域まで到達しようとしており本質的な課題に直面しているといつてよい。サブスレッショルドリーク電流もしかりである。リーク電流は本質的にしきい値電圧で決まる。別の言い方をすると熱エネルギーと電気エネルギーとの比率の指数関数で決定されるといった真の物理限界に達している以上、新たな材料の発見をもってしても解決不可能な問題に直面しているのである。LSIアーキテクチャにより演算処理能力当りの消費電力が3けたも異なることを考えると今後の技術の方向は演算処

理システムの見直しとソフトウェアにあるものと思われる。具体的にはLSIの汎用性と専用性をいかに調和させるかが最も重要なポイントである。回路・実装技術においてもスケーリング則が示すようにいかに回路間の配線長を短縮するかが今後のシステムの高速化及び低消費電力化にとって本質的に重要であり、配線長の短縮と容量低減を伴わない高速化技術はこれと逆行するものである。数mmの3次元空間にすべての機能を集積することが今後の成長の鍵ではないだろうか。SiPなどの技術を用いた複数チップの3次元集積や、マイクロバンプ、貫通ビアなどを用いたチップ間の低RLC接続技術の進展に期待したい。

謝辞 配線遅延時間の算出に御協力頂いた松下電器産業(株)半導体社の吉川武文氏に深く感謝致します。

文 献

- [1] R. H. Dennard, F. H. Gaensslen, H. Yu, V. L. Rideout, E. Bassous, and A. R. Leblanc, "Design of ion-implanted MOSFET's with very small physical dimensions," IEEE J. Solid-State Circuits, vol.SC-9, no.5, pp.256-268, Oct. 1974.
- [2] G. E. Moor, "No exponential is forever: But "Forever" can be delayed!," IEEE ISSCC Dig. of Technical Papers, pp.20-23, Feb. 2003.
- [3] International Technology Roadmap for Semiconductors 2003 Edition.
- [4] M. Horowitz and W. Dally, "How scaling will change processor architecture," IEEE ISSCC Dig. of Technical Papers, pp.132-133, Feb. 2004.
- [5] 最上 徹, 低消費電力・高速LSI技術, pp.547-560, リアライズ社, 1998.
- [6] International Technology Roadmap for Semiconductors 2001 Edition.
- [7] N. Naono, "A detailed description for high speed digital system design," Nikkei BP Publishing, 2001.
- [8] J. W. Joyner, P. Zarkesh-Ha, and J. D. Meindl, "A stochastic global net-length distribution for a three-dimensional system-on-a-chip (3D-SoC)," Proc. 14th Annual IEEE ASIC/SOC Conference, pp.147-151, 2001.
- [9] R. Brodersen, "Technology, architecture, and application," IEEE ISSCC Dig. of Technical Papers, pp.14-15, Feb. 2002.
- [10] T. Mimura, T. Yoshida, K. Nagano, S. Takehashi, T. Otsuka, K. Matsunuma, T. Kawakita, S. Yamaguchi, A. Matsuzawa, H. Fujimoto, and K. Hatada, "System module: A new chip-on-chip module technology," IEEE CICC Dig. of Technical Papers, pp.439-442, Feb. 1997.

(平成16年4月13日受付, 6月9日再受付)



松澤 昭（正員）

1978 東北大学大学院工学研究科電子工学専攻修士課程了。同年松下電器産業に入社。以来、半導体研究所、中央研究所、半導体研究センター、半導体開発本部などで、超高速 A-D 変換器、カメラ用アナログフロントエンド、液晶ドライバ、DVD 用デジタルリードチャネル、RFCMOS 回路、機能イメージセンサ、超高速インタフェース回路などのアナログ、アナ・デジ混載 LSI の設計開発、アナ・デジ設計・EDA 環境の開発、バウンダリスキャンなどのアナログテスト技術の開発、SOI・アナログ CMOS、微細 CMOS などのデバイス開発、ローパワー回路技術の開発、スタンダードセル、SRAM、I/Oセルなどのデジタルライブラリ技術の開発などに従事。1998 より半導体先行開発センター GM（部長職）。2003 年 4 月東京工業大学大学院工学研究科電子物理専攻教授に就任。本会英文論文誌編集長（'92, '97, '03）、SSDM プログラム副委員長（'99, '00）、ISSCC プログラム委員（'01～'03）、IEEE1149.4 標準化委員（'96～'98）、IEDM 編集委員（'01～'02）、ASPDAC2003 セッションチェアアなどを歴任。注目発明賞（'94）、R&D100 賞（'94）、IEEE Fellow Award（'02）、ISSCC Evening Panel Award（'03）を受賞。2002 年 1 月 IEEE Fellow に就任。工博（'97、東北大学）。