

アナログ新 限界に挑む

アナログ技術の重要性がこれまでになく高まっている——。システムLSIベンダーがこうした声を上げ始めた*1)。LSIに搭載したアナログ回路の性能が製品の競争力に直結するようになってきたからだ。そこには、もはやデジタル技術だけでは付加価値の高い製品を生み出せないという強い危機感がある。

背景にあるのは、半導体業界の収益源の変化だ。半導体を消費する主要な電子機器はすでに、パソコンからデジタル家電機器へと交代しつつある。「パソコンの次に半導体市場をけん引するのは、多機能携帯電話機やDVD機器、ゲーム機、デジタル・テレビなど多彩な個人向け電子機器だ」(米National Semiconductor社のCEOであるBrian L. Halla氏)*2)。こうした電子機器には、アナログ信号処理が欠かせない。ビデオ信号やオーディオ信号、無線(RF)信号などを処理する

必要があるからだ。

システムLSIベンダーに突きつけられた要求はかつてないほど高い。高精度のアナログ信号処理機能を搭載しながらも、これまで以上に安価で、小型で、低消費電力のシステムLSIを実現することが求められている。しかし、こうしたLSIの開発は簡単な仕事ではない。CMOSプロセスの微細化の進展に伴って、アナログ回路設計の難易度が飛躍的に高まっているからだ。

微細CMOSが大前提

システムLSIのアナログ回路は、微細化が進むCMOS技術で製造することが大前提になる*3)。「システムLSIはまず、低いコストで製造することが求められる。従って、製造技術は微細なCMOSプロセス以外は考えられない」(NECエレクトロニクス 基盤技術開発事業本部 コア

*1) アナログ技術の重要性を訴える声は以前からあった。デジタル信号の高速化に伴って、デジタル回路をアナログ的に扱う必要が出てきたことが第1の理由だろう。さらに、デジタル回路からアナログ回路に飛び込む雑音や、放射電磁雑音といったアナログ的な問題が、プリント基板やLSIの設計を難しくしていることも理由の1つに挙げられる。こうした理由に加えて最近では、製品の付加価値や競合メーカーとの差別化という観点からアナログ技術の重要性を指摘する声が高まっている。

*2) 米National Semiconductor社のCEOであるBrian L. Halla氏によると、半導体産業は過去に3回、半導体消費量の大きなピークを経験したという。3回とは、1974年と1984年、2000年である。それぞれのけん引役はメインフレーム・コンピュータ、パソコン、ネットワーク接続機能を備えたパソコンだった。2000年以降、半導体消費量は2003年に底を打ち、現在は上昇に転じている。Halla氏は「今まさに第4のピークが訪れようとしている」とコメントしている。

時代

アナログ技術が変化を求められている。システムLSIに集積することを目的に、微細化が進むCMOS製造技術を使って、これまで以上に性能が高いアナログ回路を実現しなければならないからだ。アナログ回路という制約の中では、もう対応できない。限界を突破する必要がある。その切り札になり得るのが、アナログ回路へのデジタル技術の導入だ。新時代のアナログ回路設計者は、アナログ技術だけでなく、デジタル技術を使いこなすことが求められる。

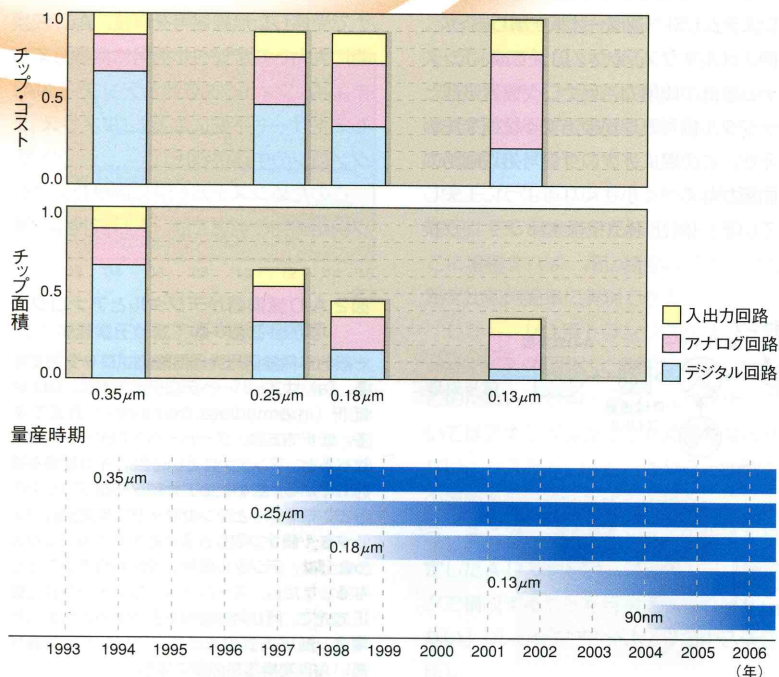


図1 アナログ回路のコストが高騰

同等の機能を有するLSIを、プロセス・ノードが異なるCMOS技術で製造したときのチップ当たりの製造コストと面積を比較した。ともに0.35μmのプロセス・ノードを1.0としている。ウエハー1枚当たりの処理コストは、プロセス・ノードが1世代進むごとに30%程度高くなる。このため、微細化に合わせて回路面積を削減しないと、チップ当たりの製造コストは上昇してしまう。デジタル回路は微細化とともに回路面積が小さくなる。ところがアナログ回路は小さくならない。インダクタやコンデンサといった受動素子の小型化が難しい上に、レイアウトの対称性の確保(マッチング)や雑音対策で回路面積を消費してしまうからだ。アナログ回路の微細化に取り組みなければ、近い将来、チップ面積の大半をアナログ回路が占めることになる。出典:東京工業大学 大学院理工学研究科 教授である松澤昭氏の資料を基に本誌が作成

開発事業部 シニアプロフェッショナルの湯川彰氏)。

CMOS プロセスの微細化は、とどまるところを知らない。多くのシステムLSIベンダーは、0.13 μm 技術から90nm 技術へと移行しており、一部には65nm 技術の適用を始めるベンダーもある。一般にシステムLSIは、CMOS プロセスの微細化が進展すれば、多大な恩恵を享受できるといわれている。チップの回路面積は小さくなり、同じ面積に多くの機能を詰め込むことが可能になる。その結果、製造コストが下がるからだ。

しかし、この筋骨はデジタル回路には当てはまるものの、アナログ回路に適用しようとすると途端に破たんを来す。その理由は、CMOS プロセスの微細化が進んでも、アナログ回路の面積は削減しづらいことにある。Si ウエハーの処理コストは、CMOS プロセスの微細化が進むたびに跳ね上がる(図1)。従って、そこに作り込むLSIの単位面積当たりのコスト、つまり「地価」は上昇していることになる。

このため、微細化の進展に合わせてアナログ回路の面積を削減しなければ、チップの製造コストは上昇してしまうことになる。しかし、アナログ回路の小型化は難しい。インダクタやコンデンサとい

った受動素子を小型化しづらい上に、レイアウトの対称性の確保(マッチング)や雑音対策に多くの回路面積を費やしてしまうからだ。

アナログ回路を減らせ

CMOS プロセスの微細化にまつわる問題は、アナログ回路の面積に関するものだけではない。技術的な問題もある*4)。具体的には、微細化の進展とともに、電源電圧が低下することが問題になる。電圧が下がれば、ダイナミック・レンジを確保しづらくなるだけでなく、トランジスタや受動素子の特性ばらつきの影響を受けやすくなる。

この結果、アナログ信号を高い精度で処理したり、アナログ回路の動作特性を保証したりすることが難しくなってしまう。アナログ回路の歩留まりが、システムLSI全体の歩留まりを低下させかねないというわけだ。

こうした問題を抜本的に解決すべく、システムLSIベンダーは策を講じ始めた。例えばルネサス テクノロジーでは、「システム設計の段階で、アナログ信号処理とデジタル信号処理が担当する役割を決めるが、この際にアナログ信号処理回路の面積がなるべく小さくなるように工夫している」(同社 製品技術本部 アナログ技

術統括部 統括部長の中込儀延氏)という。具体的には、従来はアナログ回路で実行していたフィルタ処理を、デジタル信号処理に切り替えるといった具合である。

アナログ回路を可能な限り小さくする際に鍵を握っているのが、A-D変換器である。A-D変換器は、アナログ信号とデジタル信号を橋渡しする役割を担う。従って、A-D変換器のサンプリング周波数や分解能といった性能によって、アナログ処理とデジタル処理を切り分ける境界線が決まる。性能を高めれば高めるほど、デジタル処理が担当する領域を増やして、アナログ処理が担当する領域を減らせるわけだ。

例えば、無線信号の受信回路で説明しよう(図2)。「受信機能を実現するのに必要なアナログ回路を減らすには、ブロック図の上でA-D変換器をなるべくアンテナに近づければよい」(東京工業大学大学院理工学研究科 電子物理工学専攻教授の松澤昭氏)。「極論すれば、アンテナで受信した無線信号を直接、A-D変換器に入力してデジタル信号に変換してしまえば、フィルタも低雑音アンプ(LNA)もミキサーも不要になる」(ルネサス テクノロジーの中込儀延氏)。

このためシステムLSIに向けたアナログ回路開発の現場では、「A-D変換器の開

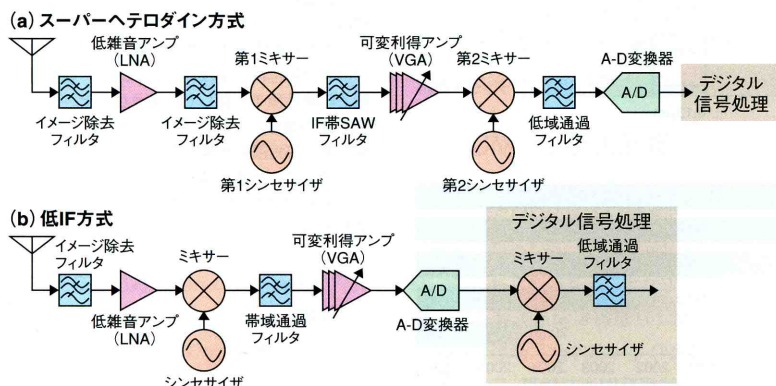


図2 A-D変換器がデジタルとアナログの境界線を決める

一般的な無線信号受信回路のブロック図である。(a)はスーパーヘテロダイン方式、(b)は低IF (intermediate frequency) 方式である。低IF方式は、スーパーヘテロダイン方式に比べると、アンテナに近い位置でA-D変換を実行している。このためアナログ回路ブロックのうち、ミキサーとシンセサイザ、低域通過フィルタを1個ずつ取り去ることができる。取り去った分は、デジタル信号処理が担当することになる。ただし、スーパーヘテロダイン方式と低IF方式で、同じ無線信号を受信すると仮定した場合、低IF方式の方がサンプリング周波数が高いA-D変換器が必要になる。

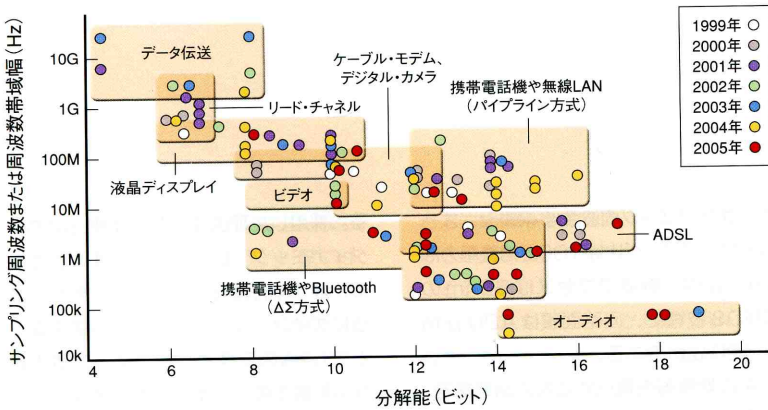


図3 性能向上が続くA-D変換器

1999～2005年に半導体関連技術の国際学会である「ISSCC」で発表されたA-D変換器を取り上げ、それらのサンプリング周波数と分解能をグラフにプロットした。消費電力のパラメータが抜けているため読み取ることが難しいが、時間の経過とともにサンプリング周波数と分解能が高まる傾向にある。出典：アナログ技術ネットワークの資料を基に本誌が作成

発が頑張りどころ」(NECエレクトロニクスの湯川彰氏)ととらえる技術者が多い。実際に、最先端の半導体設計技術が集う国際学会「ISSCC (International Solid-State Circuits Conference)」では、A-D変換器に関する提案が引きも切らない状況が続いている(図3)。

電源電圧低下に立ち向かう

A-D変換器の技術開発に力を注ぎ、性能を高めて、アナログ回路をできる限り減らす。しかし、これだけでアナログ回路を微細なCMOSプロセスで製造する際の問題が解決できるわけではない。

システムLSIでは、A-D変換器以外の

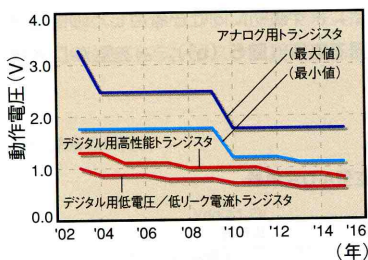


図4 電源電圧が低下の一途をたどる

現在、デジタル回路に向けた高性能トランジスタ(赤線)の動作電圧は1.0～1.2Vである。東京工業大学 教授の松澤昭氏によると、1.0V程度の動作電圧があれば、かなりのアナログ回路が実現できるという。ただし、1.0Vを下回り0.5～0.7V程度まで低下すると、現状の技術では対応が難しくなる。新しい技術開発が必要だ。なお、動作電圧が1.8～2.5Vと高いアナログ回路用トランジスタ(濃い青と薄い青の線)を利用することも可能だ。しかし、このトランジスタでは、回路面積を小さくできない。大規模なアナログ回路の集積には向かない。出典：東京工業大学 大学院理工学研究科

アナログ回路を必ず搭載する必要があるからだ。またA-D変換器自体もアナログ回路である。微細化の進むCMOSプロセスを使ってアナログ信号を処理しなければならないという課題は残されている。

CMOSプロセスの微細化が進んだ際に、アナログ回路が直面する最大の難関は電源電圧の低下である(図4)。半導体プロセスの微細化が進めば、トランジスタの耐電圧は低下する。このため電源電圧を下げざるを得ない。デジタル回路に向けたトランジスタ(いわゆるコア・ロジック用トランジスタ)の動作電圧は、90nmのCMOSプロセスですでに1.2V程度まで低下している。

もちろん、入出力回路に向けた高耐圧トランジスタ(いわゆるI/O用トランジスタ)をアナログ回路に利用することも、技術的には可能である。例えば、90nmのCMOSプロセスでも入出力インターフェース(I/O)用トランジスタの動作電圧は2.5Vを確保できる。従って、ここに集積すれば、高い精度のアナログ回路を比較的簡単に実現できる。

しかし、I/O用トランジスタはコア用トランジスタに比べて素子面積が大きい。このため、I/O用トランジスタを使っているアナログ回路の占有面積を減らせない。システムLSIとして見ると微細化の恩恵を受けていないことになってしまう。そこで、システムLSIへの集積を想定したA-D変換器は、コア用トランジスタで構成することを目指さなければならない(ルネサス テクノロジーの中込儀延氏)。

道は1つではない

システムLSIへの搭載を想定したアナログ回路の開発に取り組む技術者は、低電圧動作に対応しようと知恵を絞りはじめた。この取り組みの成果は、例えば、ISSCCをはじめとした学会などで数多く報告されている。特にA-D変換器については「高速化・高精度化の競争から、低動作電圧化や低消費電力化を競うようになってきた」(アナログ技術ネットワークの麻殖生(まいお)健二氏)。微細化の進むCMOSプロセスを前提にしたアナログ回路の開発が本格化していることがうかがえる。

ISSCCにおいて、低電圧動作のアナログ回路の開発が本格化したことを印象

*3) Si材料を使用する半導体製造プロセスを比べると、CMOS技術はバイポーラCMOS(BiCMOS)技術に比べて30～40%低いコストでチップを製造できる。「今まではバイポーラCMOS技術を使って携帯電話向け無線トランシーバLSIを製造していた。今後はCMOS技術で実現していく。理由はコストだ。携帯電話事業者はチップの価格にかなり厳しい。このため製造コストが高いバイポーラCMOS技術を使い続けることが難しい。さらに将来的には、これまで別チップだったA-D変換器を無線トランシーバLSIに集積する可能性がある。この場合は、CMOS技術の採用が前提になる」(東芝 セミコンダクター システムLSI第二事業部 アナログ高周波システムLSI技術部 アナログ高周波設計担当 担当部長の青木 英彦氏) という。

*4) 微細化がアナログ回路にもたらす恩恵もある。扱える信号の周波数帯域が広がることだ。MOSトランジスタの遮断周波数(f_t)のピーク値はチャネル長にほぼ反比例するからだ。例えば比較器を構成した場合、SN比を考慮しなければ、動作周波数帯域はチャネル長の2乗に反比例して広がる。

付ける発表が2004年に2件あった。東芝とベルギーKatholieke Universiteit Leuvenの発表である。「低電圧でも高い精度のアナログ回路を実現できることを証明してみせた」(ソニー セミコンダクタソリューションズネットワークカンパニー ミックスシグナルデバイス事業本部 SSNC Chief Engineerの片倉雅幸氏) からだ。東芝は0.9V、Katholieke Universiteit Leuvenは1.0Vといずれも低い電源電圧で動作する $\Delta\Sigma$ 型A-D変換器ICを発表した。

ただし、低電圧動作を達成した手法は両者で大きく異なる。「Katholieke Universiteit Leuvenが既存の回路構成を用い、各部の最適化を積み重ねることで低電圧動作を実現したのに対し、東芝は回路構成を大きく変える斬新な手法を採った」(ソニーの片倉雅幸氏) という。

Katholieke Universiteit Leuvenが開発したのは、1.0Vの電源電圧で動作するオーディオ信号処理向け $\Delta\Sigma$ 型A-D変換器ICである¹⁾。信号周波数帯域は20kHz。SN比は85dB、SNDR(信号/(雑音+ひずみ)比)は81dBを達成し

た。サンプリング周波数は4MHz、オーバーサンプリング比は100。消費電力は140 μ W。製造プロセスは90nmのCMOS技術で、回路面積は420 μ m \times 420 μ mである。

A-D変換器を構成する各回路要素を、低電圧動作に向く構成に変更することで、低電圧動作時の特性を確保した。例えば、 $\Delta\Sigma$ 変調器は単ループ型に変更した。低電圧で動作させたときの特性劣化を抑えるためである。一般にA-D変換器では動作電圧を下げると、積分器を構成するOTA*(operational transconductance amplifier)の直流利得の低下や、スイッチ回路を構成するトランジスタのオン抵抗の増大という問題が発生する。いずれもA-D変換器の変換精度を悪化させる要因になる。そこで、変調器を単ループ型に変更することで、こうした問題がA-D変換精度の悪化として現れにくくした。

このほかの変更点としては、出力を電源電圧いっぱいまで振れる、いわゆるレール・ツー・レール出力のカレント・ミラー型OTAを採用したことが挙げられ

る。採用した理由は、A-D変換器出力のダイナミック・レンジを確保するとともに、ひずみ特性を高めることにある。さらにゲイン・ブースト技術を駆使することでOTAの変換利得を高め、低電圧動作の影響を最小化する工夫も施した。

回路構成を大きく変える

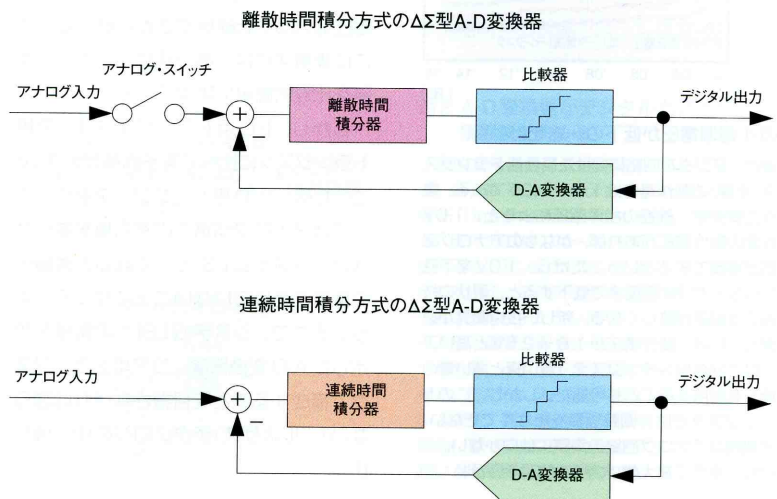
一方、東芝は0.9Vの電源電圧で動作する $\Delta\Sigma$ 型A-D変換器ICを開発した²⁾。W-CDMA方式の受信回路への適用を想定したものである。信号周波数帯域幅は1.92MHz。1.92MHz入力時のSN比は53.2dB、SNDRは50.9dBと、8ビット分解能に相当する変換精度を確保した。オーバーサンプリング比は16。すなわちサンプリング周波数は61.44MHzである。消費電力は1.5mWと小さい。0.13 μ mのCMOS技術で製造した。回路面積は750 μ m \times 160 μ mである。

回路構成を従来の一般的な構成から大きく変えることで低電圧動作化を実現した。まず最初に同社が着目したのは積分器である(図5(a))。 $\Delta\Sigma$ 型A-D変換

図5 低電圧動作に向けて回路構成を大幅に変更

東芝の開発例である。同社は、0.9Vと低い電圧で動作する $\Delta\Sigma$ 型A-D変換器を実現するため、回路構成を大幅に見直した。変更点は2つある。1つは(a)に示した積分方式である。連続時間積分方式を採用した。高電圧で駆動しなければならないアナログ・スイッチが不要だからだ。もう1つは、(b)に示した差動OTAの回路構成である。この差動OTAは、入力信号の同相成分を除去する役割を果たす。通常は、トランジスタM3とM4のソースを電流源トランジスタM5に接続する。この構成だと、トランジスタを縦方向に3つ直列に接続する必要がある。そこで東芝は、トランジスタの直列接続数が2つで済む回路構成を開発した。(c)の平衡OTAである。出典：東芝

(a) 2つの積分方式



器では、離散時間積分方式または連続時間積分方式の積分器を使う。一般には、離散時間積分方式が使われることが多い。比較的高い精度を確保できるからだ。アナログ入力信号をスイッチでオン/オフして、離散時間積分を実現する。

ところがこのスイッチが低電圧化の足かせになっていた。電源電圧が低くなるとCMOS回路で構成したスイッチがオンしなくなるからだ。0.9Vといった低い電圧で動作させることは難しい。そこで同社はまず、連続時間積分方式を採用することでスイッチを不要にした。連続時間積分方式でもW-CDMAの信号帯域で十分な変換精度を確保できることを設計の段階でシミュレーションを使って確認したという。

ただし、この変更だけでは動作電圧は0.9Vに届かない。次に同社は、連続時間積分器のオペアンプに目をつけた。通常、このオペアンプには、差動入出力のOTAが使われる。入力信号に重畳した同相信号を除去するためだ。実際には、入力の差動ペア・トランジスタのソースをともに電流源トランジスタに接続するこ

とで同相信号を除去し、差動信号成分のみを出力する。

ところが、従来の差動入出力OTAは、トランジスタを少なくとも縦方向に3つ直列に接続する必要があった(図5(b))。このため、従来のW-CDMA向け $\Delta\Sigma$ 型A-D変換器は、最低でも1.2Vの電源電圧が必要だった。そこで同社は、同相信号の除去特性を確保しつつ、直列に接続するトランジスタを2つに抑えられる回路構成を新たに開発した(図5(c))。これを平衡(balanced)OTAと呼ぶ。

低電圧への挑戦が本格化

こうした発表に触発されて、2005年のISSCCでは、「1V近辺で動作するA-D変換器の発表は当たり前になってきた」(ソニーの片倉雅幸氏)という。

例えば、米Texas Instruments社は1.2Vで動作するW-CDMA向け $\Delta\Sigma$ 型A-D変換器LSIを発表した⁽³⁾。製造プロセスは、90nmのCMOS技術である。周波数帯域幅は1.94MHz。ダイナミック・レンジは66dB、ピークSNDRは63dBを確保した。消費電力は1.2mWと小さ

い。同社は、カナダのUniversity of Torontoと共同で、1.2V動作のパイプライン型A-D変換器LSIも発表した⁽⁴⁾。分解能は10ビット、サンプリング周波数は12Mサンプル/秒、ピークSNDRは52.6dB、消費電力は3.3mWである。

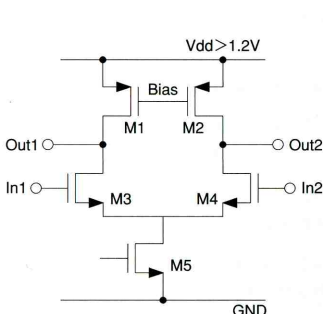
このほか、オーディオ信号処理向けではさらに低電圧化を進めた発表があった。米国のOregon State Universityと旭化成マイクロシステムが共同で開発した、0.6Vで動作するMASH(multi-stage noise shaping)方式の $\Delta\Sigma$ 型A-D変換器LSIである⁽⁵⁾。A加重の可聴周波数帯域におけるダイナミック・レンジは82dB、-3dB入力時のSFDRは103dBを確保した。製造技術は0.35 μ mのCMOSである。

ばらつき増大に対処する

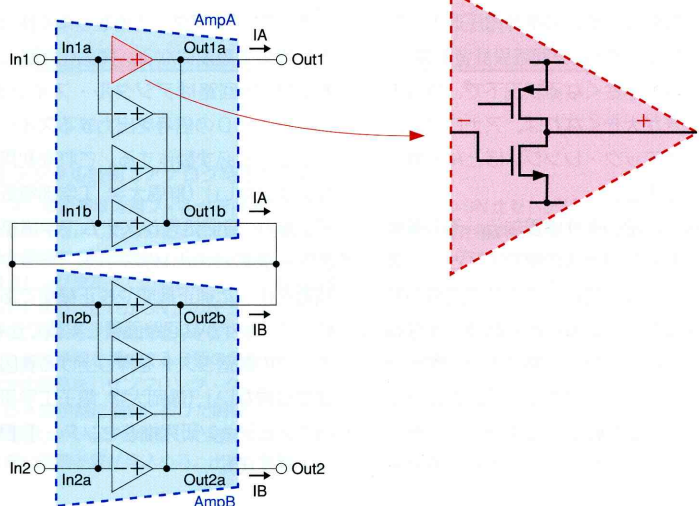
CMOSプロセスの微細化が進んだ際に、アナログ回路が直面する問題は電源

OTA⇒operational transconductance amplifier
電圧入力、電流出力の電圧電流変換回路。

(b) 従来のOTA



(c) 新たに開発した平衡OTA



電圧の低下だけではない。コンデンサをはじめとした受動素子やトランジスタなどの特性ばらつきも大きな問題として、回路設計者の前に立ちはだかることになる*⁵⁾。特性のばらつきが大きくなると、チップ上に作り込んだアナログ回路の特性を要求仕様内に収めることが難しくなる。この結果、LSIの製造歩留まりが低下してしまう。

特性ばらつきの原因は、半導体チップの製造誤差にある。ただし製造誤差の絶対値は、微細化の進展とともに小さくなる傾向にある。問題になるのは、製造誤差の相対値だ。例えば、1 μm 幅の配線を形成する場合の製造誤差が $\pm 0.1 \mu\text{m}$ だとすると、製造誤差の相対値は $\pm 10\%$ である。一方、0.5 μm 幅の配線を形成する場合の製造誤差が $\pm 0.08 \mu\text{m}$ だとすると、製造誤差の相対値は $\pm 16\%$ になる。製造誤差の絶対値は減少したものの、相対値は増大したことになる。

アナログ技術では、素子の物理的な大きさや静電容量などの特性値の比を利用して回路を構成するのが一般的だ*⁶⁾。従って、製造誤差の相対値が大きくなると、当初想定していた特性が得られなくなってしまう。

この問題は、前述の電源電圧低下の問題とともに、アナログ回路設計者を襲う。信号振幅が小さくなる状況下で、特性のばらつきが大きくなれば、アナログ回路のダイナミック・レンジはほとんど無くなってしまふ。

さらに、悪い条件は重なる。その条件とは、製造プロセスの開発完了と、システムLSIの設計開始までの時間間隔が非常に短くなっていることである。すなわち、回路設計に用いる素子モデルが十分に成熟する前に、アナログ回路の設計に着手する必要がある。「これまでは、新しいプロセスが開発されるとまずメモリー

LSIを製造して、そのプロセスを使い込んだ。そして次にマイコン、その次に民生機器向けLSIと適用製品を広げてきた。ところが今は状況がまったく異なる。プロセスの微細化が進むと、すぐに民生機器向けLSIの開発に着手しなければならない」(NECエレクトロニクスの湯川彰氏)。

アナログをデジタルで生かす

特性のばらつきが大きくなれば、チップの性能が要求仕様内から外れてしまう可能性が高くなる。対策を打たなければならない。しかし、目標性能を高めることなどで、特性のマージンを持たせることは、もはや現実的ではない。従って今後は、回路設計を工夫することで、特性のばらつきと積極的に付き合うことが必要だ。

具体的には、製造ばらつきの影響を補正/校正する機能を搭載することである。ただし、この機能を実現するために、アナログ回路は使用できない。補正用や校正用の回路自体が製造ばらつきの影響を受けてしまうからだ。また、アナログ回路で作ってしまったら、チップ上の貴重な面積をたくさん消費してしまうことになる。

そこで、「デジタル技術をうまく使うことが極めて重要になる。微細化が進んでもCMOS回路はデジタル・スイッチ、つまり1と0の信号を出力するスイッチとしてなら必ず動作する。これを利用しない手はない」(群馬大学 工学部電気電子工学科 通信処理システム工学講座第2研究室 教授の小林春夫氏)。「デジタル技術を使った補正機能や校正機能であれば、ごくわずかな回路面積で実装できる。チップの製造コストを押し上げる要因にはなり得ない」(静岡大学 電子工学研究所ナノビジョン研究推進センター 教授の川人祥二氏)。

デジタル技術を駆使して特性ばらつきに対する耐性を高めた例としては、群馬大学の小林春夫教授らの研究グループが開発した $\Delta\Sigma$ 型A-D変換器がある*⁶⁾。コンデンサの静電容量に特性ばらつきがあっても、高いSN比を確保できる工夫を施した(図6)。A-D変換器の一部にデジタル制御を加えることで、製造ばらつきの影響で生じる雑音を低減するというものだ。この結果、A-D変換器出力のSN比を高められる。

製造ばらつきの影響が小さいデジタル回路を利用して、アナログ回路の特性を確保できるようになれば、微細化の進むCMOSプロセスと格闘するアナログ回路設計者にとって、貴重な武器になり得るだろう。「かつては、動かなかったり、特性を確保できなかったりしても、作り直す時間があった。しかし今は、作り直しは許されない。最初の製造の段階で、要求仕様通りのチップを実現する必要がある」(NECエレクトロニクスの湯川彰氏)。

システムとして見よ

しかし、トランジスタ・レベルの回路図を眺めるだけでは、アナログ信号処理にデジタル技術を活用するアイデアを発想することは不可能だろう。実際に、「電源電圧が下がり、特性ばらつきが増大する現状では、トランジスタ回路の工夫だけで、特性を確保することはかなり難しくなっている」(群馬大学の小林春夫氏)という。

アナログ信号処理はアナログ回路、デジタル信号処理はデジタル回路と切り分ける考え方は捨て去らなければならない。その上でシステム・レベルで解決策を探る必要があるようだ。このように考えれば、アナログ回路で処理することが難しい場合は、いったんデジタル信号に変換して処理するという解決策が見えてくる

可能性がある。

もちろん、アナログ回路の工夫で特性を高める余地も残されている。「アナログ回路技術の歴史は長い。しかし、アイデアがすべて出尽くしたわけではない。できることはまだまだたくさんある。ちょっとした工夫で特性を大きく改善できたりする。ただしトランジスタ・レベルで考えているだけではそのアイデアにたどり着くことは不可能だ」(静岡大学の川人祥二氏)。トランジスタ・レベルの設計に着手する前に、一度、システム・レベルに視点を移すことが必要だという。

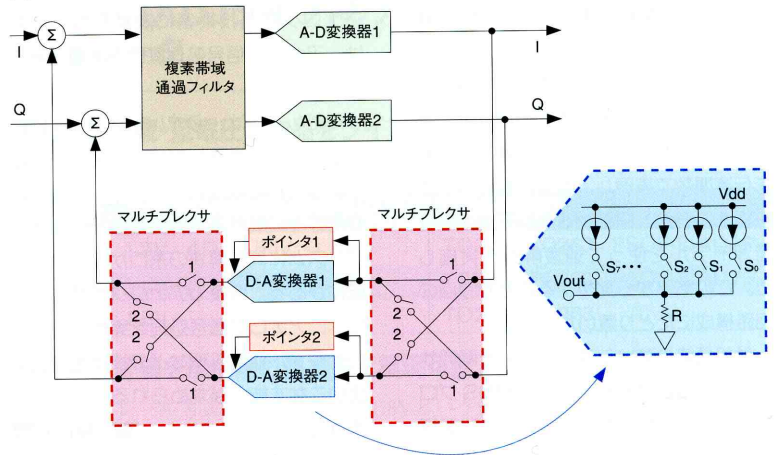
例えば、静岡大学の川人祥二氏は、簡単な回路の追加で雑音を大幅に削減できるCMOSイメージ・センサーの信号読み出し回路を開発した(図7)¹⁷⁾。従来は1段で構成していた雑音キャンセル回路を2段構成に変更することで実現した。実際にチップを試作して評価したところ、雑音の大きさが従来に比べて1/7まで減ったという。

結果だけを見れば、追加したのは2個のサンプル・ホールド回路だけである。ただし、この回路構成にたどり着く前に

*5) 製造ばらつきによって影響を受けるトランジスタの特性としては、しきい値(V_t)や電流増幅率(β)などがある。例えば、しきい値に特性ばらつきがあるトランジスタを使って差動ペアを構成すると、この特性ばらつきの大きさに応じて直流オフセット電圧が発生する。A-D変換器の比較器にこの差動ペアを使った場合、直線性(リニアリティ)が劣化してしまう。

*6) コンデンサの場合は、CMOS製造技術の微細化を進めても、電極面積を小型化しないという選択肢がある。これを選択すれば、微細な製造技術を適用しても、静電容量のばらつきは大きくならず、逆に小さくなる。しかし実際には、アナログ回路の面積を削減するために、コンデンサの電極面積を削減することが行われている。しかも消費電力が減るメリットもある。こうしたメリットを享受するために電極面積を削減すると、コンデンサの静電容量ばらつきが大きくなる。

(a) SN比改善回路を付加したA-D変換器



(b) 今回の回路の改善効果

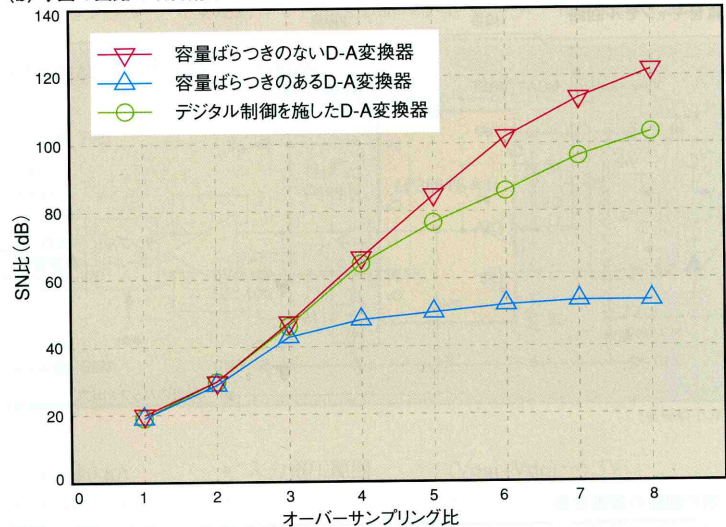


図6 デジタル技術でアナログ特性を高める

(a)は、複素帯域通過フィルタを内蔵した $\Delta\Sigma$ 型A-D変換器のSN比を、デジタル技術を利用して高める手法を示したものだ。このA-D変換器では、D-A変換器を構成する電流セルの静電容量ばらつきが原因でSN比が低下する。一般にD-A変換器では、あるアナログ値を出力する際にオンさせる電流セルが決まっている。このため、静電容量にばらつきがあると、この影響でアナログ出力がひずんでしまう。これがSN比の低下に直結する。そこで、サンプリング・クロック信号が入力されるたびに、オンさせる電流セルを変えることで、静電容量のばらつきを平均化させるわけだ。具体的には、D-A変換器を構成する8個の電流セルに対して直列に接続したスイッチ($S_0 \sim S_7$)とマルチプレクサの経路を、サンプリング・クロック信号のタイミングで切り替える。電流セルの切り替え制御は、D-A変換器に個別に設けた制御レジスタ(ボイнта)が担当する。(b)はA-D変換器のSN比をシミュレーションで検証した結果である。オーバーサンプリング比が5以上の領域では、20dB以上と高い改善効果が見込める。出典：群馬大学 工学部電気電子工学科

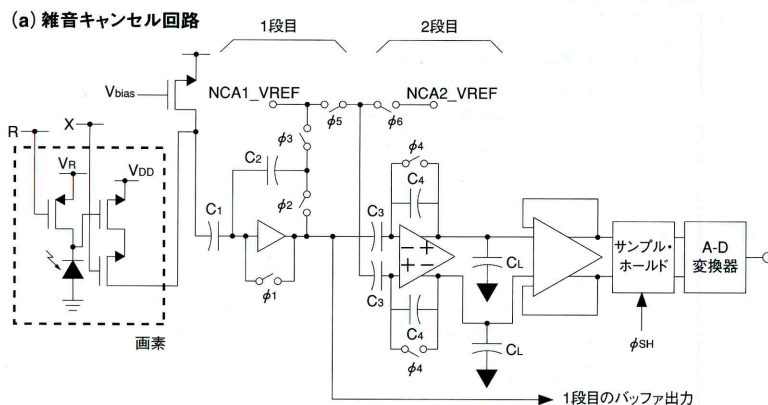
は、「読み出し回路全体をシステムととらえて、雑音の解析をまじめにやった」(静岡大学の川人祥二氏)という。CMOSイメージ・センサーの画素から読み出し回路まで、雑音の発生源や伝搬経路、大きさなどを詳細に解析した。雑音の伝搬を伝達関数で表現し、数値計算を用いて解析する一方、回路シミュレータ上で雑音源モデルを使って過渡解析を実施した。この結果から発想することで今回の回路構成にたどり着いた。

付加価値の高いシステムLSIを開発するためには、微細化の進むCMOSプロセスを使って高精度のアナログ信号処理

を実現していくことが重要だ。このときアナログ回路技術者に課せられる使命は、アナログ信号処理機能を集積することである。

ただしこれは、必ずしもアナログ回路を使うことを意味しない。アナログ回路という制約を取り去れば、デジタル回路やその上に載せるデジタル信号処理アルゴリズムに問題解決の糸口が見つかる可能性がある。今後のアナログ回路技術者には、アナログ信号処理を実現するためにデジタル信号処理などの技術を自由に使いこなす能力が求められることになりそうだ。

(薩川格広) 



(b) 今回の回路の改善効果

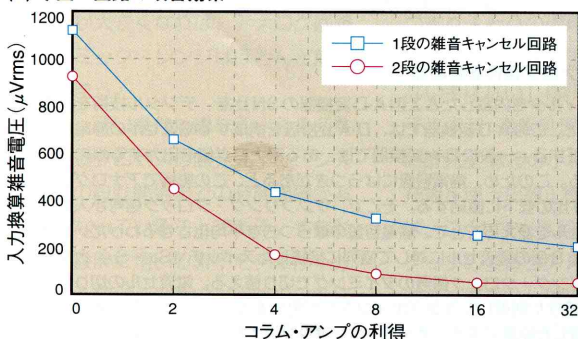


図7 わずかな付加回路で雑音を大幅に削減

(a) はCMOSイメージ・センサーの各画素から読み出したアナログ信号を、A-D変換器の前に置いたサンプル・ホールド回路に引き渡すコラム・アンプである。簡単なサンプル・ホールド回路を追加するだけで、A-D変換器に出力する信号の雑音を大幅に低減できる。具体的には、従来1段構成だった雑音キャンセル回路を、1段増やすことで2段構成にした。1段目の雑音キャンセル回路は、画素で発生するリセット雑音や固定パターン雑音などを除去する役割を果たす。ところがこの回路自体の雑音はそのまま出力されてしまう。そこで、2段目の雑音キャンセル回路を追加して、この雑音を取り除く。(b) は0.25 μmのCMOS技術で製造した試作チップを評価した結果である。A-D変換器入力を1Vppとしたときの入力換算雑音電圧を示した。例えば利得が16のときと比較すると、雑音キャンセル回路が1段の場合に比べて約1/7に抑えられた。出典：静岡大学 電子工学研究所

参考文献

- †1) Yao, L., Steyaert, M. and Sansen, W., "A 1V 88dB 20kHz $\Delta \Sigma$ Modulator in 90nm CMOS," 2004 IEEE International Solid-State Circuits Conference (ISSCC 2004), Feb. 2004.
- †2) Ueno, T. and Itakura, T., "A 0.9V 1.5mW Continuous-Time $\Delta \Sigma$ Modulator for WCDMA," 同上, Feb. 2004.
- †3) Koh, J., Gomez, G. and Choi, Y., "A 66dB-DR 1.2V 1.2mW Single-Amplifier Double-Sampling 2nd-order $\Delta \Sigma$ ADC for WCDMA in 90nm CMOS," 2005 IEEE International Solid-State Circuits Conference (ISSCC 2005), Feb. 2005.
- †4) Wang, R., Martin, K., Johns, D. and Burra, G., "A 3.3mW 12MS/s 10b Pipelined ADC in 90nm Digital CMOS," 同上, Feb. 2005.
- †5) Ahn, G-C., Chang, D-Y., Brown, M., Ozaki, N., Youra, H., Yamamura, K., Hamashita, K., Takasuka, K., Temes, G. and Moon, U-K., "A 0.6V 82dB $\Delta \Sigma$ Audio ADC Using Switched-RC Integrators," 同上, Feb. 2005.
- †6) San, H., Kobayashi, H., Kawakami, S. and Kuroiwa, N., "A Noise-Shaping Algorithm of Multi-bit DAC Nonlinearities in Complex Bandpass $\Delta \Sigma$ AD Modulators," IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, Vol.E87-A No.4, pp.792-800, Apr. 2004.
- †7) Kawai, N. and Kawahito, S., "A Low-Noise Signal Readout Circuit Using Double-Stage Noise Cancelling Architecture for CMOS Image Sensors," IEEE Workshop on CCD and Advanced Image Sensors, pp.27-30, Jun. 2005.